

HOCHSCHULE KARLSRUHE
TECHNIK UND WIRTSCHAFT
FAKULTÄT ELEKTRO- UND INFORMATIONSTECHNIK

Masterarbeit

Nr. 313

Entwicklung eines mehrstufigen
Gegentaktdurchflusswandlers hoher Leistung mit
weitem Eingangsspannungsbereich und
bidirektionalem Leistungsfluss

im Masterstudiengang
Elektro- und Informationstechnik
Energietechnik und erneuerbare Energien

von
Thomas Esch
Matr. Nr.: 58484
08. Januar 2020

Referenten:
Prof. Dr.-Ing. Rainer Merz
Hochschule Karlsruhe – Technik und Wirtschaft
Dr. Stefan Geißendörfer
DLR-Institut für Vernetzte Energiesysteme e. V.

Eidesstattliche Erklärung

Hiermit versichere ich, die vorliegende Masterarbeit ohne unzulässige fremde Hilfe selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt zu haben.

Karlsruhe, den 08. Januar 2020

Abstract

Transformer coupled multiport DC/DC converter with bidirectional power flow have proven to be an efficient approach to integrate varying sources and storage elements in a sustainable energy generation system. This work presents a Triple Active Bridge converter wherein two ports are wide input range DC links and the third port is optimized for a 48 V battery system. The wide input range DC links are designed for voltages that can be varied between 200 V and 1000 V. To optimize efficiency over the whole operating area, a five winding transformer is developed whose windings can be selected separately to use the optimal transformer turns ratio depending on the three different DC voltages. The converter is capable to transfer power of up to 12 kW with an arbitrary direction of power flow.

The construction of the Triple Active Bridge converter is demonstrated. First the required components are designed. Thenceforth the design process is validated by a simulation. Subsequently a schematic of the whole converter is developed. Based on the schematic a PCB Layout is designed, manufactured and assembled. Finally the converter is tested.

Kurzfassung

Zur Kopplung unterschiedlicher Quellen und Speicherelemente in Systemen mit fluktuierenden, regenerativen Energien haben sich mehrstufige DC/DC-Wandler als effizient erwiesen. Die vorliegende Arbeit stellt die Entwicklung eines Gegentaktdurchflusswandlers mit drei DC-Anschlüssen vor. Zwei der drei Anschlüsse besitzen einen weiten Eingangsspannungsbereich von 200 V bis 1000 V. Der dritte Anschluss wird zur Kopplung des Wandlers mit einem 48 V Akkumulator ausgelegt. Die Anschlüsse des Wandlers werden durch einen Transformator mit insgesamt fünf Wicklungen gekoppelt. Durch die Auswahl der Wicklungen mit dem bestmöglichen Übersetzungsverhältnis kann die Effizienz des Wandlers in Abhängigkeit der angelegten Spannungen im gesamten Betriebsbereich optimiert werden. Der Wandler kann eine Leistung von bis zu 12 kW übertragen. Die Leistungsflussrichtung zwischen den Anschlüssen kann beliebig gewählt werden.

Zum Aufbau des Gleichspannungswandlers werden die benötigten Komponenten der Gegentaktdurchflusswandlertopologie ausgelegt. Mit einer Simulation wird die Auslegung des gesamten Wandlers verifiziert. Anschließend wird ein vollständiger Schaltplan entwickelt und darauf aufbauend ein Platinenlayout des Wandlers erstellt. Das entworfene Design wird praktisch aufgebaut und in Betrieb genommen.

Inhaltsverzeichnis

Inhaltsverzeichnis	IV
Abbildungsverzeichnis	VI
Tabellenverzeichnis	VIII
Abkürzungsverzeichnis	IX
Symbolverzeichnis	XI
1 Einführung	1
1.1 Motivation	1
1.2 Ziel der Arbeit	1
1.3 Struktur	4
2 Grundlagen	5
2.1 Gegentaktdurchflusswandler	5
2.2 LeistungsMOSFET	7
2.3 Kühlsystem	10
2.4 Induktivität	11
3 Schaltungsentwurf	13
3.1 Anforderungen	13
3.2 Auswahl der Topologie	14
3.3 Festlegung der Schaltfrequenz	17
3.4 Auslegung des Transformators	18
3.5 Auslegung der Streuinduktivitäten	21
3.6 Auswahl der Leistungsschalter	24
3.7 Auslegung der Zwischenkreiskondensatoren	27
3.8 Schaltungssimulation	28
4 Aufbau des Gegentaktdurchflusswandlers	35
4.1 Gesamtkonzept	35
4.2 Erstellung des Schaltplans	37
4.2.1 Leistungsteil	37
4.2.2 Treiberschaltung	38
4.2.3 Hardware Enable	40
4.2.4 Spannungsversorgung	41
4.2.5 Mikrocontroller	43
4.2.6 Strommessung	45
4.2.7 Spannungsmessung	45

4.2.8	Temperaturmessung	46
4.2.9	Externe Messungen	48
4.3	Erstellung des Platinenlayouts	49
4.3.1	Funktionsgruppenanordnung	49
4.3.2	Routen	52
5	Auswertung	55
5.1	Bestückung der Platinen	55
5.2	Inbetriebnahme	57
6	Zusammenfassung	64
7	Ausblick	66
	Literatur	68
A	Schaltplan	71
B	Platinenlayout	98
C	Bauteilliste	106
D	Simulationsmodell	115
E	Daten CD	117

Abbildungsverzeichnis

1.1	Konfigurationen der Forschungsplattform für Umrichtersysteme . . .	3
2.1	Bidirektionaler Gegentaktdurchflusswandler	5
2.2	Strom- und Spannungsverläufe bei SPS	6
2.3	Bidirektionaler Dreitor Gegentaktdurchflusswandler	7
2.4	Vergleich der physikalischen Eigenschaften von SiC und GaN mit Si .	8
2.5	Schaltzeichen eines MOSFET mit Bodydiode	9
2.6	Thermisches Ersatzschaltbild	11
3.1	Gegentaktdurchflusswandler mit 3 Anschlüssen und umschaltbarem Windungsverhältnis	17
3.2	Verluste in den Leistungshalbleitern in Abhängigkeit der Schaltfrequenz	18
3.3	Wicklungsaufbau des Transformators	19
3.4	Transformator mit fünf Wicklungen	20
3.5	Flussdiagramm zur Auslegung der Induktivität	22
3.6	Aufgebaute Streuinduktivitäten	24
3.7	Thermisches Ersatzschaltbild des Kühlsystems	26
3.8	WI-Anschluss 2 im Simualtionsmodell	28
3.9	Definition der Simulationsparameter	29
3.10	Spannungsregelung im Simulationsmodell	30
3.11	Erzeugung der PWM Signale im Simulationsmodell	31
3.12	Spannungen an den drei Anschlüssen	31
3.13	Spannungswelligkeit der beiden Ausgangsspannungen	32
3.14	Spannungen an den drei Anschlüssen	32
3.15	Spannungswelligkeit der beiden Ausgangsspannungen	33
3.16	Spannungen im Betrieb mit zwei aktiven WI-Anschlüssen	33
3.17	Spannung des Akkuanschluss im Betrieb mit zwei aktiven Anschlüssen	34
4.1	Blockschaltbild	36
4.2	MOSFET H4-Brücke eines WI-Anschluss	37
4.3	Vorladeschaltung Zwischenkreiskondensatoren	38
4.4	Schaltsignalauswahl Relais	39
4.5	Gatetreiberschaltung	39
4.6	Konzept der Spannungsversorgung des Wandlers	41
4.7	24 V Versorgungsspannung	42
4.8	Tiefsetzstellerschaltung 3,3 V	42
4.9	Spannungsversorgung der externen Messsignale	43
4.10	Operationsverstärker in Differenzenverstärkerschaltung	46
4.11	Widerstandskennlinie eines NTC	47
4.12	Widerstandsmessbrücke	48
4.13	Beschaltung linearer Optokoppler	49

4.14	Anordnung der Funktionsgruppen der Hauptplatine auf der Oberseite	50
4.15	Anordnung der Funktionsgruppen der Hauptplatine auf der Unterseite	51
4.16	Anordnung der Funktionsgruppen auf den Gatetreiberplatten	53
4.17	Kreuzung der Gatetreiber Signale mit den DC-Anschlüssen	54
5.1	Oberseite der Hauptplatine	56
5.2	Unterseite der Hauptplatine	57
5.3	Gatetreiberplatine für die WI-Anschlüsse	58
5.4	Gatetreiberplatine für den Akkuanschluss	58
5.5	Analoges Ausgangssignal einer NTC Temperaturmessung	60
5.6	Gatespannungen einer MOSFET Halbbrücke	61
5.7	Schaltvorgang in einer MOSFET Halbbrücke	62
5.8	Gatespannungen einer MOSFET Halbbrücke mit Überschneidung der PWM-Signale	62
5.9	Abschaltvorgang zweier MOSFETs infolge eines Kurzschluss Signals . .	63

Tabellenverzeichnis

2.1	Analogien von thermischen zu elektrischen Größen	11
3.1	Vergleich der Wandlertopologien	14
3.2	Grenzwerte der benötigten Übersetzungsverhältnisse	15
3.3	Kennwerte der ausgelegten Induktivitäten	23
3.4	Vergleich SiC-MOSFET Halbbrückenmodule	25
4.1	Erforderliche Funktionen Mikrocontroller	44

Abkürzungsverzeichnis

Abkürzung	Beschreibung
AC	Wechselstrom (engl. alternating current)
ADC	Analog-Digital-Wandler (engl. analog digital converter)
CAN	CAN-Bus (engl. controller area network)
CPU	Prozessor (engl. central processing unit)
Cu	Kupfer
DC	Gleichstrom (engl. direct current)
DC/DC	Gleichspannungswandler
DLR	Deutsches Zentrum für Luft- und Raumfahrt e. V.
DLR-VE	DLR-Institut für Vernetzte Energiesysteme e. V.
DRC	Entwurfsregelprüfung (engl. Design Rule Check)
EMV	Elektromagnetische Verträglichkeit
Fe	Eisen
GaN	Galliumnitrid
GPIO	Allzweckein- und -ausgabe (engl. General Purpose Input Output)
HwEN	Hardware Enable
IC	Integrierter Schaltkreis (engl. Integrated Circuit)
IGBT	Bipolartransistor mit isolierter Gate-Elektrode (engl. insulated-gate bipolar transistor)
JTAG	JTAG (engl. Joint Test Action Group)
LDO	Low-Drop-Spannungsregler (engl. low-dropout regulator)
LED	Leuchtdiode (engl. light-emitting diode)
LWL	Lichtwellenleiter
Mn	Mangan
MOSFET	Metall Oxid Halbleiter Feldeffekttransistor (engl. metal oxide semiconductor field-effect transistor)
MSR	Messen, Steuern und Regeln
NESTEC	Emulationszentrum für Vernetzte Energiesysteme (engl. Networked Energy Systems Emulation Center)
Ni	Nickel
NTC	Heißleiter (engl. negative temperature coefficient thermistor)
PWM	Pulsweiten-Modulation
SCI	serielle Schnittstelle (engl. Serial Communication Interface)
Si	Silizium
SiC	Siliziumcarbid
SPS	Single-Phase-Shift
THT	Durchsteckmontage (engl. through-hole technology)
USB	Universal Serial Bus (engl. Universal serial bus)

Abkürzungsverzeichnis

Abkürzung	Beschreibung
WI	weite Eingangsspannung (engl. wide Input)
Zn	Zink
$\Sigma\Delta$ FM	Sigma-Delta Filter Modul

Symbolverzeichnis

Symbol	Einheit	Beschreibung
A_e	mm ²	Effektiver magnetischer Querschnitt
A_L	nH	Induktivitätskoeffizient
A_{\min}	mm ²	Minimaler magnetischer Querschnitt
A_N	mm ²	Benötigtes Wicklungsfenster für N Windungen
A_W	mm ²	Wicklungsfenster eines Ferritkerns
B	T	Magnetische Flussdichte
$B_{25/100}$	K	Temperaturkoeffizient NTC
B_{sat}	T	Magnetische Sättigungsflussdichte
b_{Wick}	mm	Breite des Wicklungsfensters eines Ferritkerns
D		Spannungsübersetzungsfaktor
E_{off}	J	Ausschaltverlustenergie
E_{on}	J	Einschaltverlustenergie
f_{sw}	Hz	Schaltfrequenz
g	mm	Luftspalt
h_{Wick}	mm	Höhe des Wicklungsfensters eines Ferritkerns
I	A	Strom
I_{BD}	A	Strom durch die Bodydiode
I_C	A	Strom in den Kondensator
I_{DS}	A	Strom durch den MOSFET
$I_{\text{DS,Nenn}}$	A	Strom bei dem die MOSFET Verlustenergie im Datenblatt angegeben ist
$I_{\text{DS,off}}$	A	Strom durch den MOSFET vor dem Abschalten
$I_{\text{DS,on}}$	A	Strom durch den MOSFET nach dem Einschalten
$I_{\text{DS,sw}}$	A	Strom durch den MOSFET vor dem Abschalten bzw. nach dem Einschalten
K_1		Parameter eines Ferritkerns
K_2		Parameter eines Ferritkerns
L	H	Induktivität
l_e	mm	mittlere Feldlinienlänge einer Induktivität
L_σ	H	Streuinduktivität
N		Anzahl der Windungen einer Induktivität
n		Übersetzungsverhältnis eines Transformators
n_U		Übersetzungsverhältnis der Spannungen an den Anschlüssen
P_{12V}	W	Leistung der 12 V Betriebsspannung
$P_{\text{Elektronik}}$	W	Leistung der Steuerungselektronik
P_{Relais}	W	Nennleistung eines Relais

Symbol	Einheit	Beschreibung
P_V	W	Verlustleistung
$P_{V,cBD}$	W	Durchlassverluste in der Bodydiode
$P_{V,cM}$	W	Durchlassverluste im MOSFET
$P_{V,G}$	W	Gesamtverluste in den MOSFETs
$P_{V,MOSFET}$	W	Verlustleistung in einem MOSFET
$P_{V,sw}$	W	Schaltverluste in einem MOSFET
R_{25}	Ω	Nennwiderstand eines NTC bei 25 °C
R_{DS}	Ω	Widerstand zwischen Drain- und Sourceanschluss
$R_{DS,on}$	Ω	Durchlasswiderstand zwischen Drain- und Sourceanschluss eines eingeschalteten MOSFET
R_m	$A V^{-1} s^{-1}$	Magnetischer Widerstand
R_{NTC}	Ω	Widerstand im Arbeitspunkt eines NTC
R_{Shunt}	Ω	Widerstand des Shunts
R_{th}	$K W^{-1}$	Thermischer Widerstand
$R_{th,H-Luft}$	$K W^{-1}$	Thermischer Widerstand vom Kühlkörper zur Umgebungsluft
$R_{th,J-H}$	$K W^{-1}$	Thermischer Widerstand vom Chip bis zum Kühlkörper
$R_{th,J-Luft}$	$K W^{-1}$	Thermischer Widerstand vom Chip bis zur Umgebungsluft
T_{25}	°C	Temperatur von 25 °C
T_H	°C	Temperatur des Kühlkörpers
T_J	°C	Chiptemperatur des MOSFET
T_{Luft}	°C	Temperatur der Umgebungsluft
T_{NTC}	°C	Temperatur im Arbeitspunkt eines NTC
t_{pd}	s	Ausbreitungsverzugszeit
$U_{Brücke}$	V	Brückenspannung
U_{DS}	V	Spannung zwischen Drain- und Sourceanschluss
$U_{DS,Nenn}$	V	Spannung bei der die MOSFET Verlustenergie im Datenblatt angegeben ist
$U_{DS,sw}$	V	Schaltspannung am MOSFET
$U_{E,x}$	V	Spannung an einem Anschluss des Gegentaktdurchflusswandlers
U_f	V	Durchlassspannung einer Diode
U_{GS}	V	Spannung zwischen Gate- und Sourceanschluss
$U_{NTC,Ext}$	V	Analoges, isoliertes Messsignal eines NTC
U_{Shunt}	V	Spannung über dem Shunt
ΔT_{J-Luft}	K	Temperaturdifferenz zwischen dem Leistungshalbleiterchip und der Umgebungsluft
δ	mm	Skintiefe
η		Wirkungsgrad
κ	$m \Omega^{-1} mm^{-2}$	Spezifischer Widerstand
μ	$H m^{-1}$	Permeabilität
μ_0	$H m^{-1}$	Magnetische Feldkonstante
μ_r	$H m^{-1}$	relative Permeabilität

Symbolverzeichnis

Symbol	Einheit	Beschreibung
φ	rad	Phasenverschiebung zwischen den Schaltsignalen der H4-Brücken
ω_{sw}	s ⁻¹	Schaltkreisfrequenz

Kapitel 1

Einführung

1.1 Motivation

In unserer heutigen Industriegesellschaft ist elektrische Energie ein unverzichtbarer Bestandteil des modernen Lebens. Die Bereitstellung dieser Energie durch fossile Brennstoffe ist, vor dem Hintergrund der begrenzten Verfügbarkeit fossiler Energieträger und deren hohem Anteil am anthropogenen Klimawandel, mit zunehmenden Schwierigkeiten verbunden. Klima- und Umweltschutz erfordern dabei ebenso wie der Erhalt einer hohen Versorgungssicherheit einen grundlegenden Systemwandel. Eine Energieversorgung aus erneuerbaren Energien bietet dabei eine zukunftsfähige Alternative. [1–3]

Infolge des Umbaus der Energieversorgung steigt der Anteil regenerativer Energiequellen am Strommix. Um die Stabilität des Stromnetzes auch bei einem weiteren Ausbau der erneuerbaren Energien zu gewährleisten, müssen diese zukünftig vermehrt Systemdienstleistungen zur Spannungs- und Frequenzhaltung bereitstellen [4–6]. Die Bereitstellung dieser Systemdienstleistungen erfordert neue Regelungsalgorithmen und optimierte Betriebsmittel. Zur Sicherung der Versorgungssicherheit in einem zukünftigen Energieversorgungssystem mit einem hohem Anteil regenerativer Primärenergiequellen und einer dezentralen Stromnetzarchitektur müssen neue systemstabilisierende Netzbetriebsmittel und Regelungsalgorithmen praktisch validiert werden.

Die Erforschung, Entwicklung und Validierung neuartiger Regelungsalgorithmen und Netzbetriebsmittel für das Energiesystem der Zukunft erfordert eine multifunktionale umrichterbasierte Forschungsplattform. Eine geeignete kommerzielle Plattform mit vollständig bekannter Hardware, hoher Leistung und bidirektionalem Leistungsfluss sowie frei konfigurierbaren Regelungs- und Messsystemen steht der Forschung nicht kostengünstig zur Verfügung. Dadurch können die Wechselwirkungen beim Betrieb leistungselektronischer Betriebsmittel mit unterschiedlichen, neuartigen Regelungsstrategien zur Bereitstellung von Systemdienstleistungen zur Spannungs- und Frequenzhaltung nicht praktisch evaluiert werden. Diese Lücke gilt es für den Forschungsbereich zu schließen, um dezentralisierte elektrische Energieversorgungssysteme besonders robust und ausfallsicher zu gestalten.

1.2 Ziel der Arbeit

Das DLR-Institut für Vernetzte Energiesysteme e. V. (DLR-VE) forscht in der Abteilung Energiesystemtechnologie unter anderem an systemstabilisierenden Netzbe-

triebsmitteln. Zur praktischen Anwendungsentwicklung wird aktuell eine hauseigene Forschungsplattform für Umrichtersysteme hoher Leistung am Institut entwickelt, aufgebaut und ins Emulationszentrum für Vernetzte Energiesysteme (NESTEC, engl. Networked Energy Systems Emulation Center) integriert. Die Forschungsplattform kann flexibel zur Untersuchung verschiedener Anwendungsfälle von Umrichtersystemen in Energienetzen eingesetzt werden. Für den Aufbau der Plattform sind bisher ein Wechselrichter, unterschiedliche Regelungssysteme sowie weitere Schutz- und Überwachungssysteme in Planung. Daneben existiert eine Vielzahl unterschiedlicher Quellen und Senken, die nach Bedarf zugeschaltet werden können.

Das Ziel der vorliegenden Masterarbeit ist die Entwicklung eines Gleichspannungswandlers (DC/DC) zur Erweiterung der Forschungsplattform für Umrichtersysteme am DLR-VE. Durch die Erweiterung der Plattform um einen DC/DC-Wandler wird das Anwendungsgebiet auf die Kopplung verschiedener Gleichstrom (DC, engl. direct current) Netze untereinander bzw. mit einem Wechselstrom (AC, engl. alternating current) Netz ausgeweitet. Abbildung 1.1 zeigt die leistungsführenden Pfade einiger möglicher Konfigurationen der Forschungsplattform mit einem integrierten DC/DC-Wandler. Dabei ist auf allen dargestellten Verbindungen eine bidirektionale Leistungsübertragung möglich. Anwendungsfälle der dargestellten Konfigurationen sind u. a. Photovoltaik-Generatoren mit (1.1b) bzw. ohne (1.1d) Speicher, die Elektromobilität (1.1f), Serverparks (1.1a, 1.1c) und unterbrechungsfreie Stromversorgungen (1.1e).

Zur Entwicklung des DC/DC-Wandlers wird zu Beginn der Arbeit eine Literaturrecherche durchgeführt. Dabei werden geeignete Topologien entsprechend den Systemanforderungen recherchiert. In einem Gesamtvergleich werden die Vor- und Nachteile der betrachteten Topologien abgewogen und die am besten geeignete Topologie wird ausgewählt.

Die Schaltfrequenz des Wandlers wird verlustorientiert festgelegt. Anschließend werden die Bauteile der ausgewählten Topologie ausgelegt. Zur Verifikation der Auslegung wird von dem Wandler anschließend ein Simulationsmodell unter Verwendung der Software LTspice aufgebaut. Mit Hilfe dieses Modells wird die Auslegung der Leistungsbauteile entsprechend den Anforderungen optimiert.

Anschließend beginnt mit der Erstellung des Schaltplans und dem Platinenlayout die praktische Realisierung. Dazu wird die Software der „SolidWorks“-Plattform verwendet. Die Fertigung der Platine wird durch einen externen Auftragnehmer realisiert, die Bestückung der Platine erfolgt eigenhändig.

Der Wandler wird im Anschluss in einer Testumgebung im DLR-VE Leistungselektroniklabor ausführlich validiert. Abschließend fließen die in der Validierungsphase gewonnen Erkenntnisse in den weiterführenden Entwicklungsprozess zurück.

Die Systemanforderungen an den Gleichspannungswandler ergeben sich aus interner Anforderung zur Einbindung des Wandlers in die bestehende Infrastruktur. Um eine möglichst nahtlose Integration des Wandlers ins NESTEC zu ermöglichen sind vorhandene Schnittstellen und Protokolle zu beachten. Die Anschlüsse des Wandlers für DC-Netze sollen einen Eingangsspannungsbereich von 200 V bis 1000 V mit einer maximalen Leistung von 12 kW haben. Für den Speicher ist ein 48 V Anschluss mit einer Leistung von 2 kW vorgesehen. Die gesamten Anforderungen werden im Kapitel 3.1 vorgestellt.

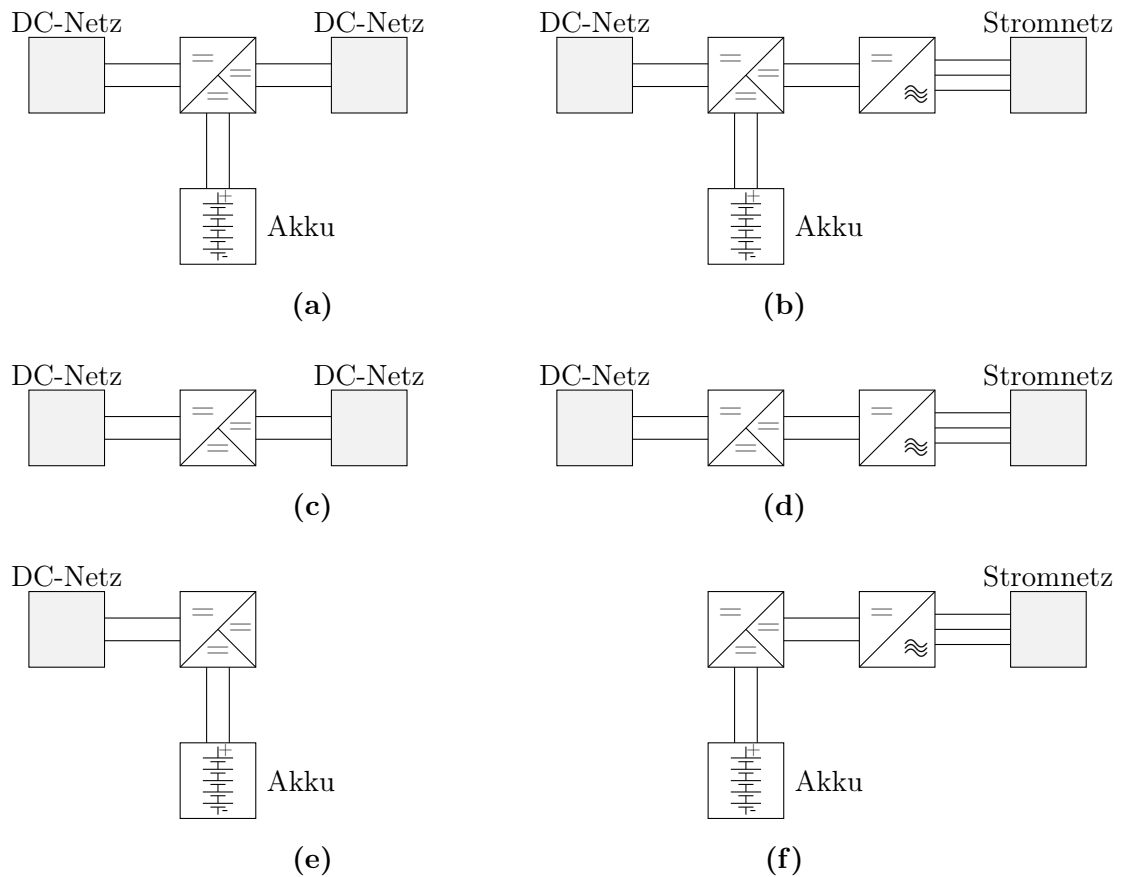


Abbildung 1.1: Konfigurationen der Forschungsplattform für Umrichtersysteme

- (a) DC-DC Netz Kopplung mit Speicher
- (b) AC-DC Netz Kopplung mit Speicher
- (c) DC-DC Netz Kopplung
- (d) AC-DC Netz Kopplung
- (e) DC Netz mit Speicher
- (f) AC Netz mit Speicher

1.3 Struktur

Die vorliegende Masterarbeit ist in insgesamt 7 Kapitel gegliedert. Das **1. Kapitel** führt in die Problemstellung der Abschlussarbeit ein und definiert deren Ziele. In **Kapitel 2** werden die Grundlagen zum Verständnis dieser Arbeit vorgestellt. **Kapitel 3** beschreibt die Auslegung der Leistungskomponenten des Spannungswandlers. Zur Verifikation der Auslegung wird eine Simulation durchgeführt. Nachfolgend wird die Struktur des DC/DC-Wandlers inklusive der Hilfsschaltungen in **Kapitel 4** vorgestellt. Die Auslegung dieser Schaltungen und die Erstellung eines Platinendesigns sind ebenfalls Teil dieses Kapitels.

Die Realisierung des Wandlers in Hardware wird in **Kapitel 5** beschrieben. Dort wird der Entwurf des Wandlers analysiert und die Schaltung in Betrieb genommen. Im **6. Kapitel** werden die Ergebnisse der Arbeit zusammengefasst. Das **Kapitel 7** stellt Möglichkeiten zur Weiterentwicklung und Optimierung des aufgebauten Spannungswandlers vor.

Kapitel 2

Grundlagen

Dieses Kapitel stellt eine Einführung in die Grundlagen der vorliegende Arbeit dar. Im ersten Abschnitt wird die Topologie des Wandlers vorgestellt. In Abschnitt 2.2 werden die verwendeten Leistungshalbleiter und die darin anfallenden Verluste betrachtet. Anschließend wird eine Einführung in die Auslegungsmethodik eines Kühlsystems gegeben. Im letzten Abschnitt werden die theoretischen Grundlagen einer Induktivität und deren praktische Auslegung vorgestellt.

2.1 Gegentaktdurchflusswandler

Der Gegentaktdurchflusswandler ist eine DC/DC-Wandler Topologie für den mittleren und oberen Leistungsbereich. Bei dieser Topologie wird die Eingangsspannung in eine hochfrequente Wechselspannung überführt. Diese Wechselspannung wird durch einen Transformator auf die Sekundärseite des Wandlers übertragen und dort gleichgerichtet. Die gleichgerichtete Spannung stellt den Ausgang des Wandlers dar. [7]

Durch die Verwendung eines Transformators sind die Primär- und Sekundärseite des Wandlers galvanisch getrennt. Wird eine aktive Gleichrichterschaltung auf der Sekundärseite verwendet, ist eine bidirektionale Leistungsflussrichtung möglich. Die Abbildung 2.1 zeigt einen bidirektionalen Gegentaktdurchflusswandler mit den beiden Anschlüssen U_1 und U_2 . Die zwei H4-Brücken, bestehend aus den Schaltern S_{1x} bzw. S_{2x} , werden zur Erzeugung der Wechselspannung bzw. zur aktiven Gleichrichtung verwendet. [7]

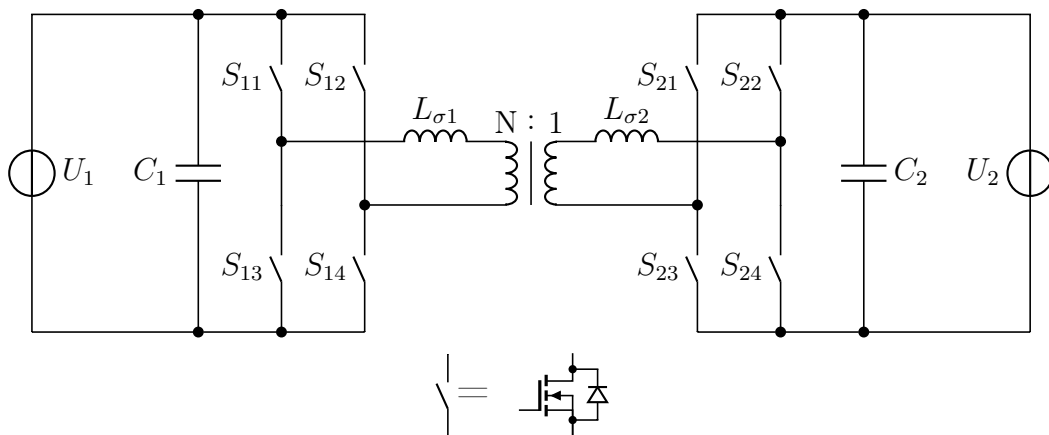


Abbildung 2.1: Bidirektionaler Gegentaktdurchflusswandler

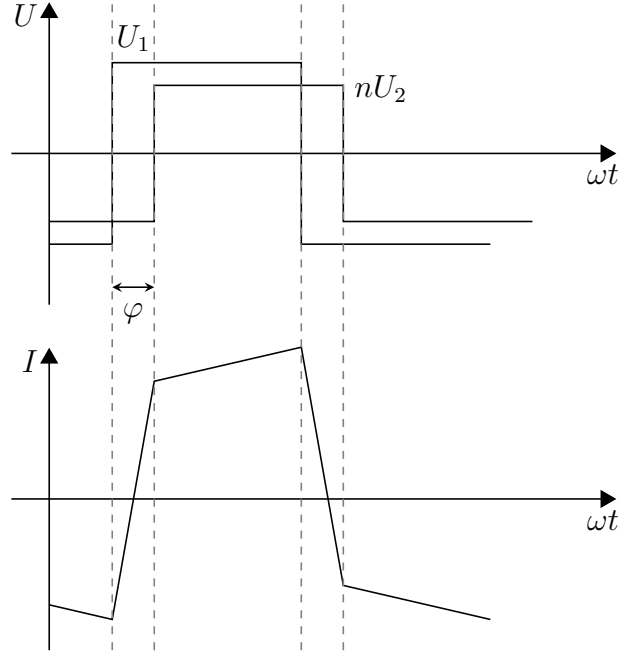


Abbildung 2.2: Strom- und Spannungsverläufe bei SPS

Durch die Verwendung eines Transformators kann der Gegentaktdurchflusswandler bei hohen Übersetzungsverhältnissen eingesetzt werden. Dazu wird das Windungsverhältnis des Transformators $N:1$ an das Spannungsübersetzungsverhältnis angepasst. Bei variablen Spannungen kann der Wandler zur Regelung zudem hoch- und tiefsetzstellend wirken. [8]

Für den Betrieb des Wandlers stehen unterschiedliche Modulationsstrategien zur Verfügung. Die Strom- und Spannungsverläufe des Wandlers für die Modulationsstrategie Single-Phase-Shift (SPS) sind in Abbildung 2.2 gezeigt. Die beiden H4-Brücken werden mit einem Tastverhältnis von 50 % betrieben. Dabei erhalten die beiden diagonal gegenüberliegenden Schalter in einer Brücke jeweils ein identisches Schaltsignal. Die Phasenverschiebung zwischen den Schaltsignalen der beiden H4-Brücken wird als φ bezeichnet. Mit der Gleichung

$$P_0 = k\varphi \cdot \left(1 - \frac{|\varphi|}{\pi}\right) \cdot \frac{U_1^2}{\omega_{\text{sw}} L_\sigma} \quad (2.1)$$

kann die übertragene Leistung des Wandlers in Abbildung 2.1 berechnet werden. Dabei ist $k = nU_2/U_1$ mit dem Windungsverhältnis des Transformators n , $\omega_{\text{sw}} = 2\pi f_{\text{sw}}$ mit der Schaltfrequenz f_{sw} und L_σ die gesamte Streuinduktivität des Transformators. [9]

Die Höhe und die Richtung der übertragenen Leistung wird nach Gleichung (2.1) durch die Phasenverschiebung φ bestimmt. Für $\varphi > 0$ wird Leistung von Anschluss 1 zu Anschluss 2 übertragen, für $\varphi < 0$ von Anschluss 2 zu Anschluss 1. Die maximale Leistung kann in beiden Leistungsflussrichtungen bei einer Phasenverschiebung von $|\varphi| = \pi/2$ übertragen werden. [9]

Der Gegentaktdurchflusswandler kann in vernetzten Systemen mit mehr als zwei unterschiedlichen Spannungen auch als mehrstufiger Wandler aufgebaut werden. Dabei wird für jeden Anschluss des Wandlers eine Wicklung auf dem Transformatorkern

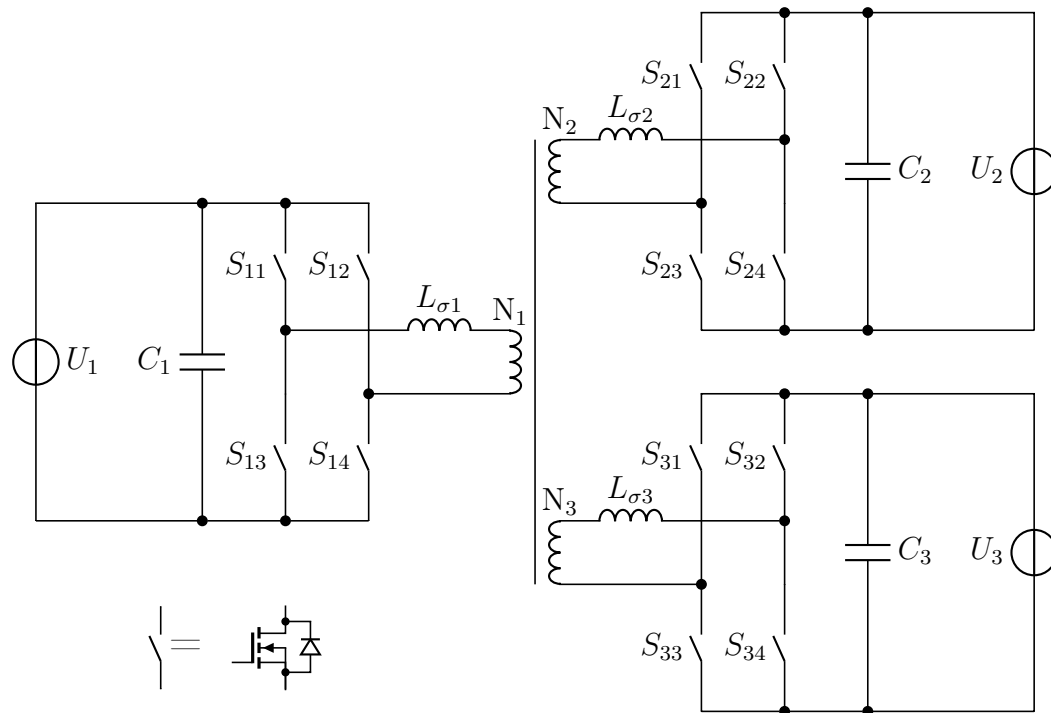


Abbildung 2.3: Bidirektionaler Dreitor Gegentaktdurchflusswandler

aufgebracht. Abbildung 2.3 zeigt einen mehrstufigen Gegentaktdurchflusswandler in Dreitorausführung mit drei H4-Brücken, bestehend aus den Schaltern S_{1x} , S_{2x} und S_{3x} . Diese Konfiguration ermöglicht eine bidirektionale Leistungsübertragung zwischen allen drei Anschlüssen U_1 , U_2 und U_3 . Der Transformator besitzt dabei drei Wicklungen mit den Windungszahlen N_1 , N_2 und N_3 . Die Streuinduktivität jeder Wicklung wird durch die Induktivität $L_{\sigma x}$ symbolisiert. [10]

2.2 Leistungsmosfet

Ein Metall Oxid Halbleiter Feldeffekttransistor (MOSFET, engl. metal oxide semiconductor field-effect transistor) ist ein spannungsgesteuerter Schalter, der sich durch eine geringe Schaltenergie und eine hohe Schaltgeschwindigkeit auszeichnet. MOSFETs werden aus einem Halbleitermaterial gefertigt und können in den vier unterschiedlichen Typen N-Kanal und P-Kanal in jeweils selbstleitender oder selbstsperrender Ausführung aufgebaut werden. In leistungselektronischen Anwendungen haben sich selbstsperrende N-Kanal MOSFETs etabliert. Die folgenden Betrachtungen beziehen sich daher immer auf selbstsperrende N-Kanal MOSFETs. [7]

Als Halbleitermaterial zur Herstellung von MOSFETs hat sich in den letzten Jahrzehnten Silizium (Si) etabliert. Aus diesem Material können Leistungshalbleiter prozesssicher und kosteneffizient produziert werden. Infolge steigender Anforderungen stößt die Silizium-Technologie zunehmend an ihre physikalischen Grenzen. Deshalb wird die Entwicklung neuer Halbleitermaterialien forciert. Dabei liegt der Schwerpunkt der Entwicklung auf Halbleitermaterialien mit einer hohen Bandlücke „wide bandgap materials“. Dazu zählen insbesondere Siliziumcarbid (SiC) und Galliumnitrid (GaN). [11]

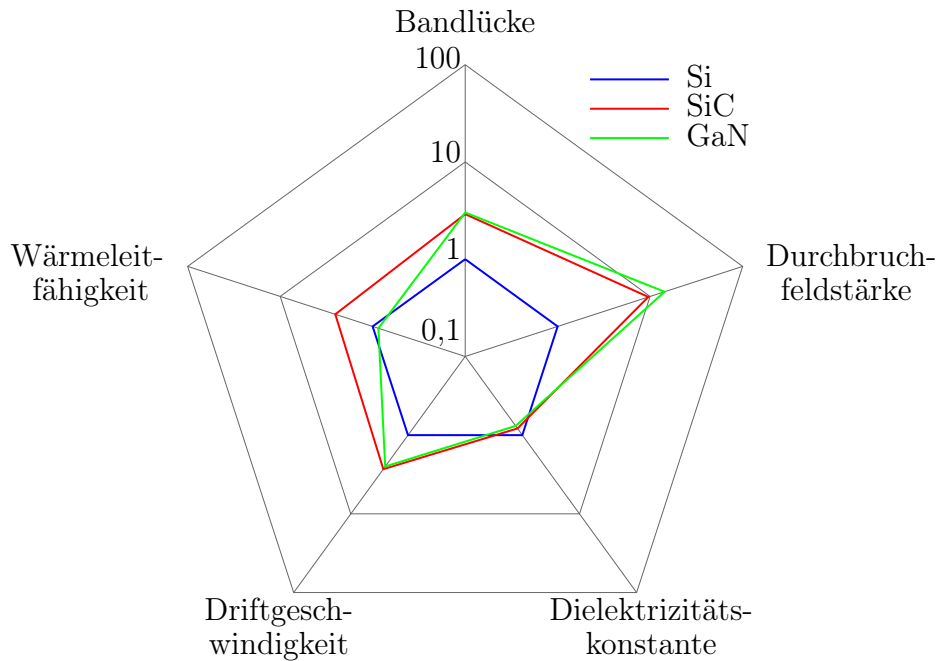


Abbildung 2.4: Vergleich der physikalischen Eigenschaften von SiC und GaN mit Si, vgl. [11]

Durch den deutlich höheren energetischen Abstand zwischen dem Leitungs- und dem Valenzband bieten diese Materialien verbesserte Eigenschaften gegenüber Silizium. In Abbildung 2.4 sind die Materialeigenschaften von SiC und GaN im Vergleich zu Silizium aufgetragen. Die erhöhte Driftgeschwindigkeit der Elektronen ermöglicht einen schnelleren und damit verlustärmeren Schaltvorgang. Infolge der höheren Durchbruchfeldstärke kann der Halbleiterchip bei gleicher Spannungsfestigkeit gegenüber Silizium dünner gestaltet werden. Dadurch sinkt der Durchlasswiderstand und die damit verbundenen Durchlassverluste eines eingeschalteten MOSFET. Alternativ kann eine höhere Spannungsfestigkeit bei gleichem Durchlasswiderstand realisiert werden. Durch eine höhere Wärmeleitfähigkeit können die Verluste in SiC-Halbleitern besser abgeführt werden. Die maximale Chiptemperatur steigt zudem infolge der höheren Bandlücke. Damit ermöglichen MOSFETs aus einem Halbleitermaterial mit hoher Bandlücke insgesamt die Realisierung höherer Schaltfrequenzen und steigender Wirkungsgrade. [11]

Das Schaltzeichen eines MOSFET ist in Abbildung 2.5 dargestellt. Ein MOSFET besitzt die drei Anschlüsse Drain (D), Source (S) und Gate (G). Jeder MOSFET besitzt strukturbedingt eine Bodydiode. Diese Diode ist im Schaltzeichen angedeutet. [7]

Der Widerstand zwischen dem Drain- und dem Sourceanschluss R_{DS} wird durch die Spannung zwischen Gate- und Sourceanschluss U_{GS} gesteuert. Eine kleine bzw. negative Spannung U_{GS} führt zu einem hohen Widerstand R_{DS} wodurch der MOSFET sperrt. Eine hohe Spannung U_{GS} schaltet den MOSFET durch und der Widerstand R_{DS} sinkt in den m Ω Bereich. [7]

Die Schaltgeschwindigkeit des MOSFET hängt von der Änderungsgeschwindigkeit der Spannung U_{GS} ab. Das Gate verhält sich dabei ähnlich einer Kapazität. Zum

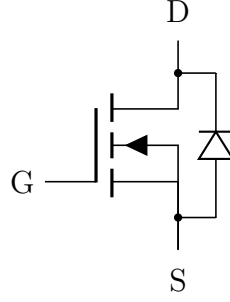


Abbildung 2.5: Schaltzeichen eines MOSFET mit Bodydiode

Schalten des MOSFET muss diese Gatekapazität ge- bzw. entladen werden. [7]

Zur Auslegung einer leistungselektronischen Schaltung kann ein MOSFET nicht als idealer Schalter betrachtet werden. Während des Betriebs fallen Verluste in einem Leistungsmosfet und in der Bodydiode an. Diese Verluste führen zu einer Erwärmung des MOSFET. Zum Schutz des Leistungsmosfet muss diese Wärmeenergie durch ein geeignetes Kühlkonzept abgeführt werden. Dadurch kann eine unzulässige Erwärmung des MOSFET verhindert werden. [11]

In einem Leistungsmosfet gibt es unterschiedliche Verlustquellen. Zur Berechnung der Erwärmung des MOSFET werden nachfolgend die Durchlassverluste und die Schaltverluste betrachtet. Weitere Verlustquellen wie z.B. Ansteuer- und Sperrverluste können vernachlässigt werden. [11]

Die gesamten Durchlassverluste können in die Durchlassverluste des MOSFET und in die Durchlassverluste der Bodydiode aufgeteilt werden. Im MOSFET entstehen Durchlassverluste während der Einschaltphase. Durch den Durchlasswiderstand der Drain-Sourcestrecke eines eingeschalteten MOSFET $R_{DS,on}$ fällt bei einem Stromfluss I_{DS} eine Spannung über dem MOSFET ab. Für die damit verbundene Verlustleistung $P_{V,cM}$ folgt:

$$P_{V,cM} = R_{DS,on} \cdot I_{DS}^2 \quad (2.2)$$

[12]

In der Bodydiode treten Durchlassverluste infolge der Durchlassspannung der Diode U_f auf. Mit dem Strom durch die Diode I_{BD} kann die Verlustleistung der Bodydiode $P_{V,cBD}$ berechnet werden:

$$P_{V,cBD} = U_f \cdot I_{BD} \quad (2.3)$$

[12]

Die Schaltverluste in einem MOSFET können nach Ein- und Ausschaltverlusten unterschieden werden. Diese Verluste entstehen während des Schaltvorgangs eines MOSFET. Im Schaltvorgang ist der MOSFET weder voll leitfähig noch voll sperrend. Dadurch fließt ein Strom durch den MOSFET während gleichzeitig eine hohe Spannung über dem MOSFET anliegt.

Zur Berechnung der Schaltverluste wird Gleichung (2.4) verwendet. Die Verluste werden aus der Einschaltverlustenergie E_{on} und der Ausschaltverlustenergie E_{off} eines Pulses berechnet. Diese beiden Werte werden im Datenblatt eines Leistungsmosfet angegeben. Die Datenblattangaben beziehen sich dabei auf einen

definierten Betriebspunkt mit $U_{DS,Nenn}$ und $I_{DS,Nenn}$. Die Verlustenergie muss auf die realen Schaltbetriebspunkte umgerechnet werden. Zur Berechnung der Verlustleistung wird die Verlustenergie mit der Schaltfrequenz f_{sw} multipliziert.

$$P_{V,sw} = \frac{1}{\pi} \cdot f_{sw} \cdot \frac{U_{DS,sw}}{U_{DS,Nenn}} \cdot \left(\frac{I_{DS,on}}{I_{DS,Nenn}} \cdot E_{on} + \frac{I_{DS,off}}{I_{DS,Nenn}} \cdot E_{off} \right) \quad (2.4)$$

[13]

Unter der Bedingung, dass die Ströme beim Ein- und Ausschalten gleich sind $I_{DS,on} = I_{DS,off} = I_{DS,sw}$ vereinfacht sich Gleichung (2.4) zu (2.5).

$$P_{V,sw} = \frac{1}{\pi} \cdot f_{sw} \cdot \frac{U_{DS,sw}}{U_{DS,Nenn}} \cdot \frac{I_{DS,sw}}{I_{DS,Nenn}} \cdot (E_{on} + E_{off}) \quad (2.5)$$

Die Gesamtverluste in einem Leistungsmosfet werden durch Addition der Teilverlustleistungen berechnet. Die gesamte Verlustleistung eines Mosfet $P_{V,MOSFET}$ ergibt sich nach Gleichung (2.6)

$$P_{V,MOSFET} = P_{V,cM} + P_{V,cBD} + P_{V,sw} \quad (2.6)$$

2.3 Kühlsystem

Während des Betriebs von Leistungshalbleitern treten elektrische Verluste auf. Diese Verluste führen zu einer Erwärmung des Bauteils. Zur optimalen Ausnutzung der Leistungshalbleiter muss die anfallende Wärmeenergie möglichst effizient abgeführt werden. Dadurch kann eine thermische Zerstörung des Bauteils verhindert und die Performance des Halbleiters verbessert werden. Zwischen der Temperatur des Leistungshalbleiters T_J und dem Kühlmedium, z. B. der Umgebungsluft T_{Luft} , tritt eine Temperaturdifferenz auf.

$$\Delta T_{J-Luft} = T_J - T_{Luft} \quad (2.7)$$

Die Höhe dieser Temperaturdifferenz ΔT_{J-Luft} ist abhängig von der Qualität des Wärmetransports und wird als thermischer Widerstand R_{th} quantifiziert. [11]

$$R_{th,J-Luft} = \frac{\Delta T_{J-Luft}}{P_V} \quad (2.8)$$

Zur Auslegung eines effizienten Kühlsystems wird ein thermisches Ersatzschaltbild verwendet. Ein solches thermisches Ersatzschaltbild wird in Abbildung 2.6 gezeigt. Darin werden die thermischen Eigenschaften anschaulich in Analogie zu elektrischen Größen dargestellt. Tabelle 2.1 zeigt eine Auflistung der verwendeten Analogien. Diese Beschreibung eines thermischen Systems ermöglicht komplexe thermische Zusammenhänge auf einfache und bekannte elektrische Strukturen abzubilden. Dabei ist die Reihen- und Parallelschaltung verschiedener Komponenten möglich. Die Kirchhoffschen Gesetze sind auch im thermischen System gültig. Im Ersatzschaltbild wird die Temperatur der Umgebungsluft als Bezugsgröße definiert und durch ein Massesymbol dargestellt. [11, 14]

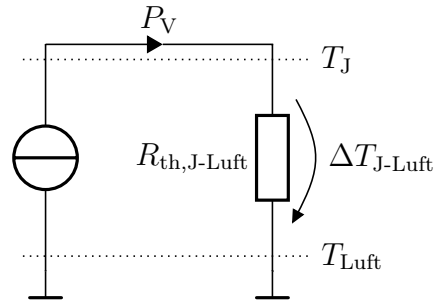


Abbildung 2.6: Thermisches Ersatzschaltbild

Tabelle 2.1: Analogien von thermischen zu elektrischen Größen, vgl. [14]

Thermische Größe			Elektrische Größe		
Bezeichnung	Symbol	Einheit	Bezeichnung	Symbol	Einheit
Verlustleistung	P_V	W	Strom	I	A
Temperatur	T	°C	Potential	ϕ	V
Temperaturdifferenz	ΔT	K	Spannung	U	V
Thermischer Widerstand	R_{th}	K W ⁻¹	Widerstand	R	Ω

2.4 Induktivität

Durch das Aufwickeln eines Stromleiters zu einer Spule wird eine Induktivität realisiert. Die Induktivität der Anordnung kann durch einen Kern mit hoher relativer Permeabilität μ_r gegenüber der einer Luftspule deutlich erhöht werden. Der Zusammenhang zwischen der geometrischen Anordnung und der Induktivität der Spule wird durch die Gleichung

$$L = N^2 \mu \cdot \frac{A_e}{l_e} \quad (2.9)$$

beschrieben. Dabei stellt N die Windungszahl, A_e den Querschnitt des Kerns, l_e die mittlere Feldlinienlänge und $\mu = \mu_0 \mu_r$ die Permeabilität dar. [15]

Die Kernparameter können zu dem magnetischen Widerstand

$$R_m = \frac{l_e}{\mu A_e} \quad (2.10)$$

zusammengefasst werden. Durch Einsetzen der Gleichung (2.10) in (2.9) ergibt sich die Induktivität zu

$$L = N^2 \cdot \frac{1}{R_m}. \quad (2.11)$$

Eine Induktivität mit unterschiedlichen Kernparametern entlang der Feldlinien, z. B. durch einen Luftspalt, stellt eine Reihenschaltung unterschiedlicher magnetischer Widerstände dar. Dabei summieren sich die einzelnen magnetischen Widerstände zu einem magnetischem Gesamtwiderstand auf. Die Induktivität einer solchen Anordnung kann folglich zu

$$L = N^2 \cdot \frac{1}{\sum_i R_{m i}} \quad (2.12)$$

berechnet werden. [15]

Die Material- und Geometrieeigenschaften des Kerns werden zu dem Induktivitätskoeffizient A_L zusammengefasst. Dieser Kennwert wird in den Datenblättern serienmäßig verfügbarer Kerne in Abhängigkeit des Luftspalts angegeben. Damit kann die Induktivität für eine bekannte Kerngeometrie zu

$$L = N^2 \cdot A_L \quad (2.13)$$

vereinfacht werden. Die Abhängigkeit des A_L -Wertes von der Luftspaltlänge g kann für E-Kerne durch den empirischen Zusammenhang

$$g = \sqrt[k_2]{\frac{A_L \cdot 10^9}{K_1}} \cdot 10^{-3} \quad (2.14)$$

dargestellt werden. Die geometrie- und materialabhängigen Parameter K_1 und K_2 werden im Datenblatt des Kerns angegeben. Die Gleichung ist nur für Luftspaltlängen im Intervall $[g_{\min}, g_{\max}]$ gültig, die Intervallgrenzen werden ebenfalls im Datenblatt angegeben. [15, 16]

Zusätzlich zur Induktivität muss bei der Auslegung einer Spule die maximale Flussdichte im Kernmaterial

$$B_{\max} = \frac{L \hat{I}}{N A_{\min}} \quad (2.15)$$

beachtet werden. Diese darf die Sättigungsflussdichte B_{sat} nicht überschreiten, da sich die Permeabilität des Kerns sonst stark reduziert. Dadurch bricht die Induktivität der Anordnung ein und es kann zu einem starken Stromgradient kommen. Ein solcher Stromanstieg beeinträchtigt die Zuverlässigkeit der Schaltung und muss vermieden werden. [15]

Kapitel 3

Schaltungsentwurf

Dieses Kapitel beschreibt die Auslegung des Spannungswandlers nach den im ersten Abschnitt vorgestellten Systemanforderungen. Dazu erfolgt im Abschnitt 3.2 die Auswahl der Konvertertopologie. Anschließend wird die Schaltfrequenz der Leistungshalbleiter festgelegt. Nachdem eine Topologie ausgewählt wurde und die Schaltfrequenz feststeht, werden die weiteren Komponenten der Wandlertopologie ausgelegt. Die Auslegung des Wandlers wird anschließend durch eine Simulation verifiziert.

3.1 Anforderungen

Der DC/DC-Wandler soll die Kopplung von drei DC-Anschlüssen ermöglichen. Zwei der drei Anschlüsse werden für ein weites Spannungsfenster von 200 V bis 1000 V ausgelegt. Diese beiden Anschlüsse werden als weite Eingangsspannung (WI, engl. wide Input)-Anschlüsse bezeichnet. Die Nennspannung dieser beiden Anschlüsse beträgt 700 V, die Nennleistung 12 kW. Diese Leistung soll im gesamten Spannungsfenster übertragen werden können.

Der dritte Anschluss besitzt ein Spannungsfenster von 40 V bis 60 V. Mit einer Nennspannung von 48 V und einer Nennleistung von 2 kW wird dieser Anschluss für Niederspannungs Akkumulatoren ausgelegt. Nachfolgend wird dieser Anschluss als Akkuanschluss bezeichnet.

Die Richtung des Leistungsflusses durch den Wandler soll für alle drei Anschlüsse bidirektional sein. D. h. jeder Anschluss kann als Eingang und als Ausgang verwendet werden. Eine Umkehr der Leistungsflussrichtung ist im Betrieb möglich. Zusätzlich zum Betrieb mit drei Anschlüssen soll der Wandler auch mit nur zwei aktiven Anschlüssen betrieben werden können. Der dritte Anschluss ist in diesem Fall inaktiv und befindet sich im Leerlauf. Dabei ist unerheblich welcher der drei Anschlüsse inaktiv ist. Die Leistungsflussrichtung soll auch in dieser Anordnung bidirektional und im Betrieb umkehrbar sein.

Im Vordergrund der Arbeit steht das Ziel einen DC/DC-Wandler zur Integration in eine Umrichterplattform für Forschungszwecke auszulegen. Deshalb müssen zusätzliche Schnittstellen zur Untersuchung und Steuerung des Betriebsverhaltens integriert werden. Das Sicherheitskonzept des Wandlers ist so auszulegen, dass dieses unabhängig von der Steuerung zuverlässig funktioniert.

Bei der Auslegung des Wandlers wird ein Wirkungsgrad von $\eta > 90\%$ angestrebt.

Tabelle 3.1: Vergleich der Wandlertopologien

	Synchronwandler	Gegentaktdurchflusswandler	Resonanzwandler
Leistungsfluss	bidirektional	bidirektional	bidirektional
galvanische Trennung	nein	ja	ja
Transformator	nein	ja	ja
Wirkungsgrad	Hoch	Hoch	Hoch
EMV	Hartes Schalten	Weiches Schalten möglich	Weiches Schalten
Dritter Anschluss	serielle Verkettung	mit zusätzlicher Wicklung	mit zusätzlicher Wicklung
Auslegung	Leicht	Schwierig	sehr Schwierig
Bauteilanzahl	2 Schalter + 1 Drossel	4 Schalter/ Anschluss + 1 Transformator	4 Schalter/ Anschluss + 1 Kondensator/ Anschluss + 1 Transformator

3.2 Auswahl der Topologie

Zum Aufbau eines DC/DC-Wandlers stehen verschiedene Topologien zur Verfügung. Diese besitzen unterschiedliche Eigenschaften bezüglich der Bauteilanzahl, der Regelung, des möglichen Übersetzungsverhältnisses und des erreichbaren Wirkungsgrades.

Aus der Fachliteratur werden geeignete Topologien zum Aufbau des Wandlers recherchiert. Die drei für diese Arbeit erfolversprechendsten Wandlertopologien werden anschließend detailliert untersucht und bewertet. Die untersuchten Topologien sind der Synchronwandler, der Gegentaktdurchflusswandler und der Resonanzwandler.

In einem Gesamtvergleich werden die Vor- und Nachteile der betrachteten Topologien abgewogen. Tabelle 3.1 zeigt eine Auflistung der in dieser Anwendung wichtigsten Eigenschaften der drei Wandlertopologien. Alle drei Topologien ermöglichen einen bidirektionalen Leistungsfluss zwischen den DC-Anschlüssen. Durch die Verwendung eines Transformators ist eine galvanische Trennung der DC-Anschlüsse beim Gegentaktdurchflusswandler und dem Resonanzwandler möglich.

Die drei ausgewählten Topologien besitzen in ihrer Grundform jeweils zwei DC-Anschlüsse. Durch die Aufbringung einer dritten Wicklung auf den Transformator können der Gegentaktdurchflusswandler und der Resonanzwandler auf drei An-

Tabelle 3.2: Grenzwerte der benötigten Übersetzungsverhältnisse

Anschluss	$n_{U,\max}$	$n_{U,\min}$
WI-WI	5 : 1	1 : 5
WI-Akku	25 : 1	3,3 : 1

schlüsse erweitert werden. Der Synchronwandler kann durch einen mehrstufigen Aufbau um einen dritten DC-Anschluss erweitert werden. Dazu kann bei einer Reihenschaltung mehrerer Stufen des Synchronwandlers die Spannung zwischen zwei Stufen als weiterer Anschluss nach außen geführt werden. Dabei kann die Spannung an diesem Anschluss nie größer oder kleiner werden als die Spannungen an den beiden Anschlüssen am Rand der Reihenschaltung. Deshalb muss in diesem Fall festgelegt werden, dass die Spannung am WI-Anschluss 1 immer größer bzw. immer kleiner als am WI-Anschluss 2 ist. Die Spannung am Akkuanschluss ist in jedem Fall kleiner als die beiden Spannungen an den WI-Anschlüssen.

Keine der drei Topologien kann alle möglichen Übersetzungsverhältnisse, die sich aus den Eingangsspannungsbereichen der DC-Anschlüsse ergeben, in der Grundform abdecken. Die minimalen und maximalen benötigten Übersetzungsverhältnisse sind in Tabelle 3.2 aufgelistet. Diese können mit der Gleichung (3.1) berechnet werden. Zur Realisierung wird daher ein mehrstufiger Aufbau oder ein variables Transformatorwindungsverhältnis benötigt.

$$n_U = \frac{U_{E,x1}}{U_{E,x2}} \quad (3.1)$$

Einen hohen Wirkungsgrad ermöglichen alle drei Topologien. Dabei ist der Wirkungsgrad jedoch für eine Stufe angegeben, sodass der Gesamtwirkungsgrad bei einer seriellen Verkettung von mehreren Wandlerstufen sinkt. Deshalb ist ein mit einem variablen Transformatorwindungsverhältnis aus Sicht des Wirkungsgrades einer Reihenschaltung mehrerer Stufen vorzuziehen.

Der Strom durch die Leistungsschalter fließt in allen drei Topologien durch eine Induktivität: Beim Synchronwandler durch die Speicherdrossel, bei dem Gegentaktdurchflusswandler und dem Resonanzwandler durch die Induktivitäten der Transformatorwicklungen. Dieser Strom durch eine Induktivität wird beim Synchronwandler zur Kommutierung hart geschaltet. D. h., dass der Schalter zum Schaltzeitpunkt stromführend ist und den induktiven Strompfad auftrennt. Dadurch wird eine Kommutierung des Stroms auf einen anderen Strompfad erzwungen. Bei einem Resonanzwandler kommutiert der Strom durch die Schalter selbständig. Dadurch sind die Schalter zum Zeitpunkt des Abschaltens bereits stromlos. Dieses Schaltverhalten wird als weiches Schalten bezeichnet. Der Gegentaktdurchflusswandler schaltet abhängig vom Betriebspunkt hart oder weich. Durch optimierte Modulationsstrategien kann der Bereich, in dem der Gegentaktdurchflusswandler weich schaltet, ausgedehnt werden [10, 17]. Für den Betrieb des Wandlers mit nur zwei aktiven Anschlüssen ist weiches Schalten über den gesamten Betriebsbereich möglich [8]. Hartes Schalten eines Stroms durch eine Induktivität führt zu einer ungewollten Störaussendung, wodurch die Elektromagnetische Verträglichkeit (EMV) des Wandlers beeinträchtigt wird. [11]

Zum Aufbau des DC/DC-Wandlers mit der Synchronwandlertopologie werden zwei Schalter und eine Drossel pro Stufe benötigt. Bei einem maximalen Übersetzungsverhältnis von 3 : 1 pro Stufe werden zur Realisierung des maximalen Übersetzungsverhältnisses $n_{U,WI-Akku,max}$ mindestens neun Stufen benötigt. Der Gegentaktdurchflusswandler benötigt vier Schalter pro DC-Anschluss sowie einen Transformator. Die Auslegung des Transformators wird durch eine zusätzliche Streuinduktivität pro Transformatorwicklung vereinfacht. Für den Resonanzwandler werden ebenfalls vier Schalter pro DC-Anschluss, sowie ein Transformator benötigt. Zudem ist eine Streuinduktivität und ein Kondensator für jede Transformatorwicklung erforderlich.

Die Auslegung des Synchronwandlers erfolgt analog zur Auslegung eines Tiefsetzstellers und ist in der Literatur gut dokumentiert. Es existieren zahlreiche Leitfäden [7, 18–22] zur Auslegung der Drossel und zur Berechnung der Beanspruchung der beiden Schalter. Zur Auslegung des Transformators und der Streuinduktivitäten eines Gegentaktdurchflusswandlers mit drei DC-Anschlüssen finden sich in der Literatur einige Vorschläge [17, 23]. Die Beanspruchung der Schalter ist stark abhängig von der Modulationsstrategie und kann nicht allgemein angegeben werden. Der Transformator und die Streuinduktivitäten des Resonanzwandlers werden ähnlich ausgelegt wie beim Gegentaktdurchflusswandler. Zusätzlich muss die Kapazität des Resonanzwandlers auf die Induktivitäten abgestimmt werden.

Nach einer Abwägung der Eigenschaften der einzelnen Topologien wird der Gegentaktdurchflusswandler ausgewählt. Die ausschlaggebenden Kriterien gegen den Synchronwandler sind die Nachteile im Wirkungsgrad und in der Flexibilität durch die erforderliche Reihenschaltung mehrerer Stufen, sowie die fehlende galvanische Trennung. Gegen den Resonanzwandler spricht insbesondere die schwierige Auslegung des Schwingkreises bei einem Aufbau mit drei DC-Anschlüssen und einem variablem Transformatorwindungsverhältnis.

Der Gegentaktdurchflusswandler gilt als eine vielversprechende Topologie für zukünftige Energiesysteme [10, 24] und eignet sich am besten für die vorliegenden Systemanforderungen. Durch die Verwendung eines Gegentaktdurchflusswandlers kann eine galvanische Trennung der Anschlüsse erreicht werden. Die Störaussendung durch das Schalten kann durch die Verwendung einer optimierten Modulationsstrategie minimiert werden. Dabei werden gleichzeitig die Schaltverluste reduziert und es kann ein hoher Gesamtwirkungsgrad erreicht werden. Durch eine zusätzliche Wicklung auf dem Transformator kann der dritte Anschluss einfach integriert werden. Zur Realisierung der benötigten Übersetzungsverhältnisse wird ein variables Transformatorwindungsverhältnis genutzt. Dieses wird durch mehrere Wicklungen auf einem Transformator erreicht, die in Abhängigkeit des Betriebspunktes ausgewählt werden.

Abbildung 3.1 zeigt den strukturellen Aufbau der ausgewählten Wandlertopologie. Die Spannungen an den Anschlüssen des Wandlers werden durch $U_{E,1}$, $U_{E,2}$ und $U_{E,3}$ dargestellt. Diese Eingangsspannungen werden durch die Zwischenkreiskondensatoren C_1 , C_2 und C_3 gestützt. Die drei H4-Brücken des Wandlers bestehen aus den Schaltern S_{xy} , mit $x = \{1, 2, 3\}$ für den Anschluss und $y = \{1, 2, 3, 4\}$ für die Position des Schalters in der Brücke. Der Transformator wird durch die Wicklungen mit den Windungsanzahlen N_x , für $x = \{11, 12, 21, 22, 3\}$, dargestellt. Die Induktivitäten $L_{\sigma x}$ stellen die Streuinduktivitäten des Transformators dar. Durch die Schalter S_{xy} , mit $x = \{5, 6, 7\}$ für den Anschluss und $y = \{1, 2, 3\}$ für die Position des Schalters,

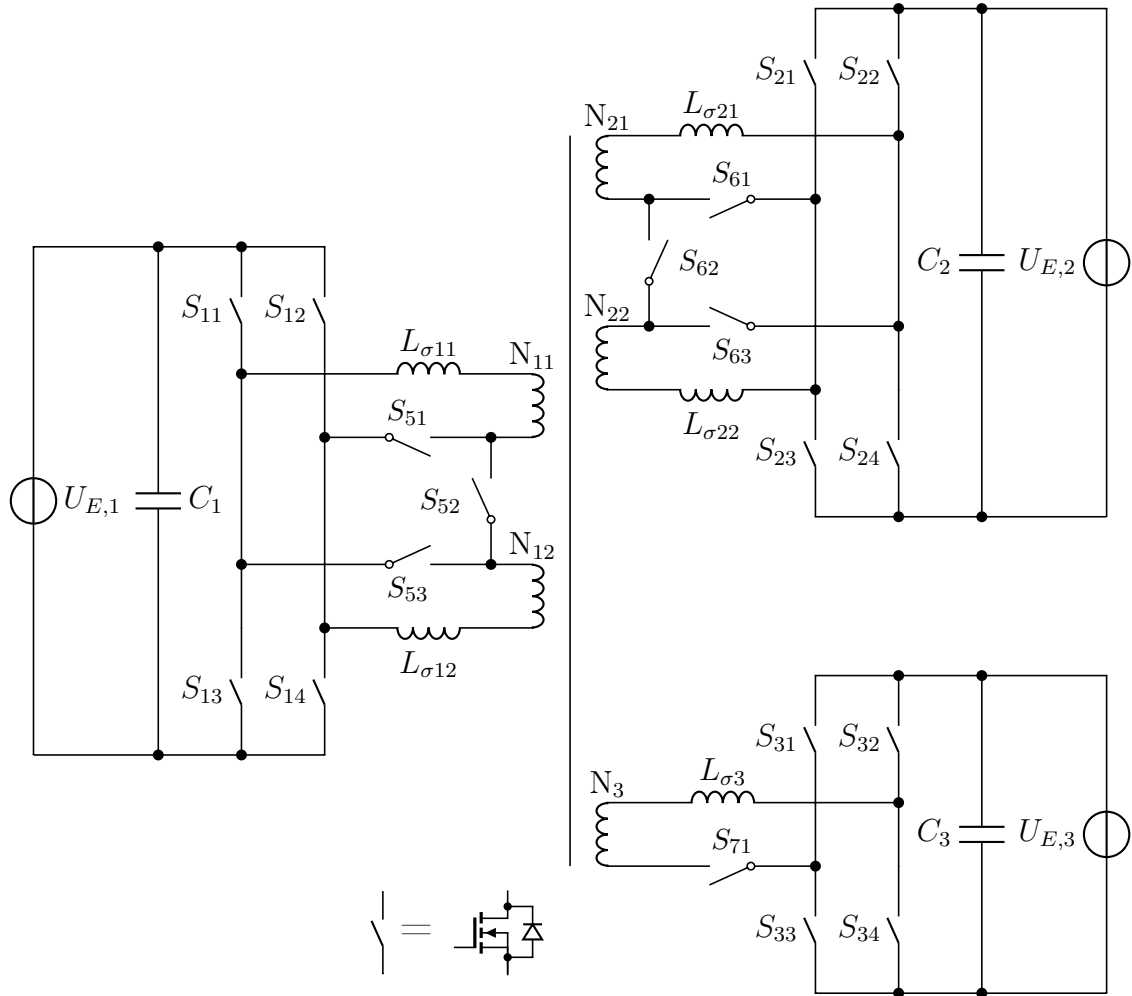


Abbildung 3.1: Gegentaktdurchflusswandler mit 3 Anschlüssen und umschaltbarem Windungsverhältnis

können die Wicklungen des Transformators ausgewählt werden.

3.3 Festlegung der Schaltfrequenz

Die Frequenz, mit der die Leistungsschalter geschaltet werden, wird verlustorientiert festgelegt. Dazu werden die Leistungsverluste des DC/DC-Wandlers in Abhängigkeit von der Frequenz abgeschätzt. Eine wirtschaftliche Betrachtung wird nicht durchgeführt.

Bei einem Gegentaktdurchflusswandler sind die mit Abstand größten Leistungsverluste in den Leistungshalbleitern zu erwarten. Weitere Verlustquellen sind der Transformator, die Streuinduktivitäten und die Kondensatoren. Um die Festlegung der Schaltfrequenz zu vereinfachen werden diese Verluste zunächst nicht betrachtet. Zur weiteren Vereinfachung erfolgt die Festlegung basierend auf einem Modell des Gegentaktdurchflusswandlers mit zwei aktiven Anschlüssen.

Abbildung 3.2 zeigt die angenommen Durchlass-, Schalt- und Gesamtverluste in einem Leistungshalbleiter in Abhängigkeit der Frequenz. Diese werden mit den Glei-

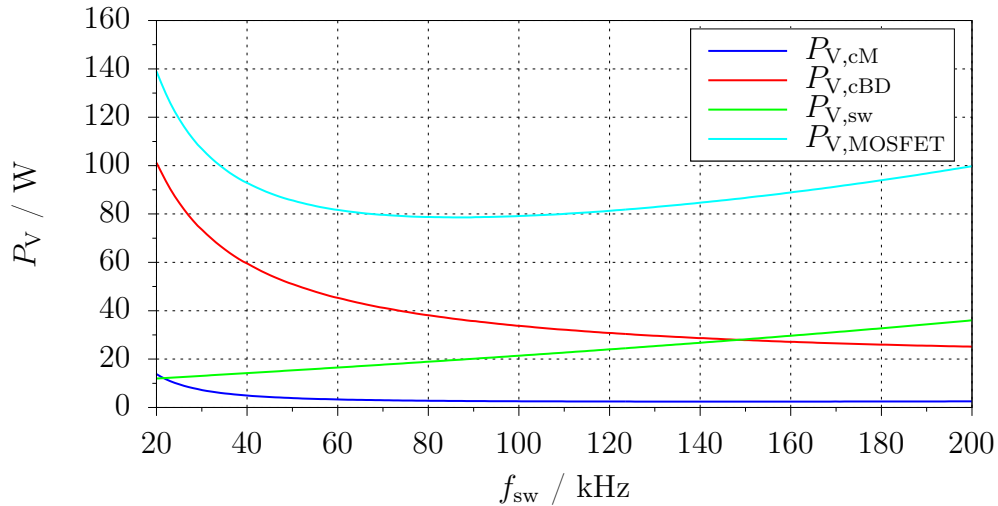


Abbildung 3.2: Verluste in den Leistungshalbleitern in Abhängigkeit der Schaltfrequenz

chungen (2.2), (2.3), (2.5) und (2.6) für eine Übertragungsleistung von 12 kW berechnet. Die angenommenen Kennwerte des Leistungshalbleiter orientieren sich an den Datenblattangaben [25–27] von SiC-MOSFET Halbbrückenmodulen verschiedener Hersteller.

Die Verluste werden bei niedrigen Frequenzen maßgeblich von den Durchlassverlusten der Bodydiode bestimmt. Mit steigender Frequenz sinken diese Verluste, ebenso wie die Leitungsverluste in einem MOSFET. Nahezu linear mit der Frequenz steigen die Schaltverluste in einem MOSFET an. Dies liegt daran, dass bei steigender Frequenz die Anzahl der Schaltvorgänge in einem Zeitabschnitt steigt.

Die Gesamtverluste, bestehend aus den Schalt- und den Durchlassverlusten, in einem MOSFET sind in einem Frequenzbereich zwischen 70 kHz und 110 kHz minimal. Um die Unsicherheit dieser Abschätzung zu berücksichtigen wird ein Sicherheitsabstand von 10 kHz zur Festlegung des Schaltfrequenzbereichs angewendet. Die Schaltfrequenz wird daher auf den Bereich von 80 kHz bis 100 kHz festgelegt. Die Nennschaltfrequenz zur Auslegung des Wandlers beträgt 80 kHz.

3.4 Auslegung des Transformators

Die Topologie des Gegentaktdurchflusswandlers benötigt einen Transformator. Mit diesem Transformator wird die Energie zwischen den drei Anschlüssen übertragen. Um den weiten Eingangsspannungsbereich der beiden WI-Anschlüsse zu realisieren wird ein Transformator mit einem variablen Übersetzungsverhältnis benötigt.

Für die Auslegung wird der Akkuanschluss und ein WI-Anschluss betrachtet. Für den zweiten WI-Anschluss ist das Ergebnis identisch. Das Windungsverhältnis wird durch eine Minimierung des Faktors D festgelegt. Dieser gibt das Verhältnis an, um das die Spannung zusätzlich zum Übersetzungsverhältnis des Transformators hoch-

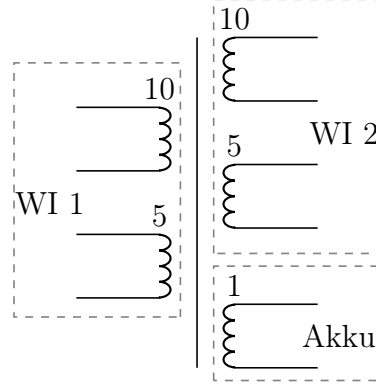


Abbildung 3.3: Wicklungsaufbau des Transformators

bzw. tiefgestellt werden muss. D wird definiert als

$$D = \begin{cases} \frac{n}{n_U}, & \text{für } n > n_U; \\ \frac{n_U}{n}, & \text{für } n \leq n_U; \end{cases} \quad (3.2)$$

mit dem Windungsverhältnis des Transformators $n = N_1/N_2$ und dem idealen Spannungsübersetzungsverhältnis n_U .

Das minimale D_{\min} kann mit der Gleichung (3.3) aus der Anzahl der Windungsverhältnisse r und dem Spannungsübersetzungsverhältnis n_U berechnet werden.

$$D_{\min} = \sqrt[2r]{\frac{n_{U,\max}}{n_{U,\min}}} \quad (3.3)$$

Mit dem Faktor D_{\min} können die idealen Windungsverhältnisse n_x berechnet werden. Dabei gilt

$$n_x = n_{U,\min} \cdot D_{\min}^{2x-1} \quad (3.4)$$

mit $\{x \in \mathbb{N} \mid 1 \leq x \leq r\}$.

Bei einem WI-Anschluss mit zwei Wicklungen, die einzeln genutzt werden, ergibt sich ein minimales $D_{\min} = 1,65$ mit den zwei Windungsverhältnissen $n_1 = 5,51$ und $n_2 = 15,1$. In einem Aufbau können nur ganze Windungen realisiert werden. Dadurch ist das minimale realisierbare $D > 1,65$. Das realisierbare D soll zur Auslegung des Wandlers weiter gesenkt werden. Deswegen wird die Anzahl der unterschiedlichen Windungsverhältnisse auf drei erhöht. Damit ergibt sich ein $D_{\min} = 1,4$ mit den drei Windungsverhältnissen $n_1 = 4,66$, $n_2 = 9,12$ und $n_3 = 17,87$. Die drei Windungsverhältnisse können durch drei separate Wicklungen realisiert werden oder durch zwei Wicklungen, die zur Realisierung des dritten Windungsverhältnisses in Reihen geschaltet werden.

Der Faktor D kann durch eine höhere Anzahl an Wicklungsverhältnissen weiter gesenkt werden. Jedoch verschlechtert sich die magnetische Kopplung der einzelnen Wicklungen untereinander bei steigender Wicklungsanzahl und das benötigte Volumen steigt. Deswegen werden zur Realisierung des Transformators drei Windungsverhältnisse ausgewählt. Diese werden durch zwei Wicklungen realisiert, die einzeln genutzt oder in Reihe geschaltet werden können. Als Windungsverhältnisse werden $n_1 = 5$, $n_2 = 10$ und $n_3 = n_1 + n_2 = 15$ ausgewählt.



Abbildung 3.4: Transformator mit fünf Wicklungen

Zum Aufbau eines Transformators mit den ausgewählten Windungsverhältnissen werden insgesamt fünf Wicklungen benötigt. Zwei Wicklungen pro WI-Anschluss und eine für den Akkuanschluss, siehe Abbildung 3.3.

Der Transformator wird durch die Firma BLOCK Transformatoren, Elektronik GmbH aufgebaut und ist in Abbildung 3.4 gezeigt. Die gesamten Anforderungen an den Transformator sind:

- Schaltfrequenz: 80 kHz – 100 kHz
- Anzahl Wicklungen: 5
- Windungsverhältnis: $n_1 : n_2 : n_3 : n_4 : n_5 = 10 : 10 : 5 : 5 : 1$
- Isolationsfestigkeit: 2 kV
- Strombelastbarkeit:
 - $I_{\text{RMS}} = 90 \text{ A}_{\text{RMS}}$
 - $\hat{I} = 160 \text{ A}$
- Anzahl Temperatursensoren: 2

3.5 Auslegung der Streuinduktivitäten

Zur Energieübertragung zwischen den DC-Anschlüssen werden Streuinduktivitäten in jedem Anschluss benötigt. Diese setzen sich aus der Streuinduktivität des Transformators und zu jeder Transformatorwicklung in Reihe geschalteten externen Streuinduktivitäten zusammen. Die gesamte Streuinduktivität zwischen den Anschlüssen ist dabei ein dominanter Faktor für die Leistungsfähigkeit zur Energieübertragung. [28]

Die Auslegung der Streuinduktivitäten wird neben einer analytischen Betrachtung durch die in Kapitel 3.8 vorgestellte Simulation unterstützt. Die gesamte Streuinduktivität muss klein genug sein um die maximale Leistung von 12 kW übertragen zu können. Gleichzeitig muss die Streuinduktivität die Blindleistungspendelung zwischen den Anschlüssen und den damit verbundenen Strom durch die Leistungsschalter und den Transformator begrenzen.

Die Induktivitäten der Spulen werden mit Hilfe der Simulation so ermittelt, dass die maximale Leistung mit drei und zwei aktiven DC-Anschlüssen übertragen werden kann und die Ströme auf ein realisierbares Niveau begrenzt werden. Die ermittelten Induktivitäten sind $L_{\sigma 1} = 0,8 \mu\text{H}$, $L_{\sigma 2} = 3 \mu\text{H}$ und $L_{\sigma 3} = 6 \mu\text{H}$ für jeweils die Wicklungen mit $n_1 = 1$, $n_2 = 5$ und $n_3 = 10$ Windungen.

Nachdem die Induktivitäten festgelegt worden sind, können die Spulen zur Realisierung der externen Streuinduktivitäten ausgelegt werden. Zur Auslegung der Spulen wird als Kernmaterial N87 ein MnZn-Ferrit ausgewählt. Dieses Material ermöglicht bei der maximalen ausgewählten Schaltfrequenz von 100 kHz noch eine verlustarme Auslegung der Spulen. Die Sättigungsflussdichte von N87 wird mit $B_{\text{sat}} = 390 \text{ mT}$ bei einer Kerntemperatur von 100 °C angegeben. Als Kerngeometrie werden E-Kerne ausgewählt. [16]

Jede der drei benötigten Spulen wird einzeln in einem iterativen Prozess ausgelegt. Dabei werden verschiedene Kerngrößen auf ihre Eignung zum Aufbau der Spulen hin untersucht. Die Abbildung 3.5 zeigt ein Flussdiagramm mit dem Prozess der zur Auslegung der Spulen verwendet wird. Zur Auslegung der Spulen werden die Parameter $\hat{I} = 160 \text{ A}$ und $B_{\text{sat}} = 390 \text{ mT}$ verwendet.

Im ersten Schritt der Auslegung wird ein Ferritkern ausgewählt. Von diesem Kern werden die Kernparameter K_1 , K_2 , g_{max} , A_{min} und $A_{L,g=0}$ sowie die Höhe h_{Wick} und Breite b_{Wick} des Wicklungsfensters aus dem Datenblatt abgelesen.

Der Luftspalt g ist zu Beginn der Auslegung $g_{\text{Start}} = 0 \text{ mm}$. Mit dem Induktivitätskoeffizient $A_{L,g=0}$ und Gleichung (2.13) kann die benötigte Windungsanzahl N berechnet werden. Da in einem Aufbau keine Bruchteile einer Windung realisiert werden können, wird die berechnete Anzahl auf den nächsten ganzzahligen Wert gerundet. Mit der korrigierten Windungsanzahl N wird die Induktivität der Spule berechnet. Die Abweichung der korrigierten Induktivität vom Sollwert soll auf weniger als 2 % begrenzt werden. Weicht die korrigierte Induktivität um mehr als 2 % vom Sollwert ab, wird der Iterationsschritt zur Auslegung der Spule abgebrochen.

Liegt die korrigierte Induktivität in Sollbereich wird mit Gleichung (2.15) die maximale magnetische Flussdichte B_{max} der Konfiguration berechnet. Ist B_{max} größer als B_{sat} geht der Ferritkern in Sättigung. Die Auslegung wird in diesem Fall für den aktuellen Iterationsschritt abgebrochen.

Tritt keine Sättigung des Ferritkerns auf, wird im anschließenden Schritt die Grö-

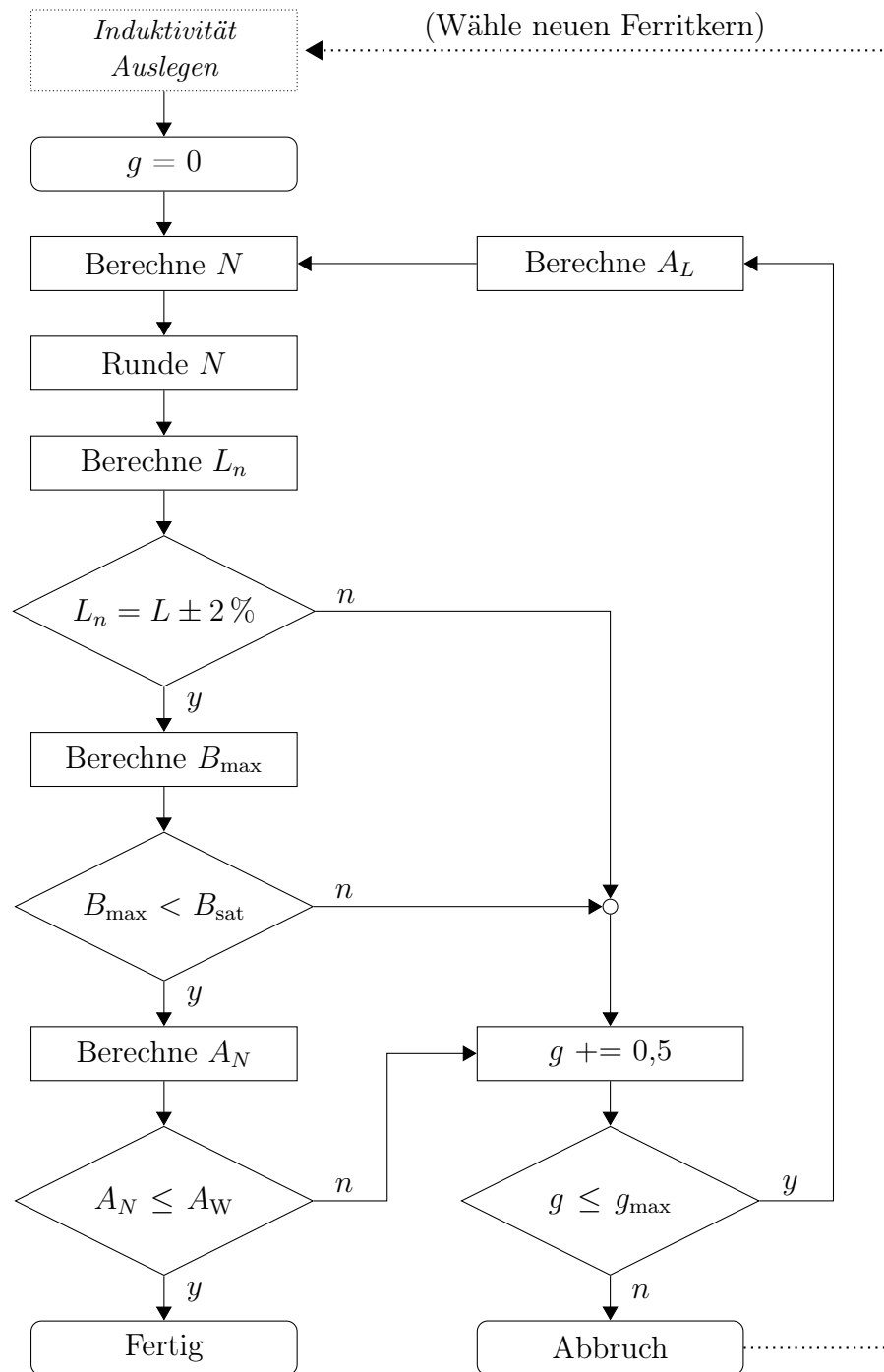


Abbildung 3.5: Flussdiagramm zur Auslegung der Induktivität

Tabelle 3.3: Kennwerte der ausgelegten Induktivitäten

$\frac{L_{\sigma,\text{Soll}}}{\mu\text{H}}$	Ferritkern	$\frac{g}{\text{mm}}$	$\frac{A_L}{\text{nH}}$	N	$\frac{L_{\sigma,\text{Korrigiert}}}{\mu\text{H}}$	$\frac{B_{\text{max}}}{\text{mT}}$
0,8	E 42/21/15	1,5	201	2	0,806	368
3	E 77/33/32	3,5	336	3	3,025	239
6	E 77/33/32	3	380	4	6,072	359

ße des benötigten Wicklungsfenster A_N berechnet. Dazu wird die gesamte Fläche berechnet, die für N Windungen benötigt wird. Passen die N Windungen in das Wicklungsfenster des Ferritkerns A_W ist die Auslegung der Spulen abgeschlossen.

Ist das Wicklungsfenster des Kerns zu klein um alle Windungen aufzunehmen, wird der Iterationsschritt abgebrochen. Wurde ein Iterationsschritt infolge einer zu hohen Abweichung der korrigierten Induktivität, einer Sättigung des Ferrits oder einem zu kleinen Wicklungsfensters abgebrochen, wird der Luftspalt g um 0,5 mm vergrößert. Mit Gleichung (2.14) und dem neuen g wird der Induktivitätskoeffizient A_L der angepassten Konfiguration berechnet. Mit diesem A_L wird ein neuer Iterationsschritt zur Auslegung der Spule gestartet.

Steigt die Länge des Luftspalts g nach mehreren Iterationen auf einen Wert größer g_{max} an, ist die Gleichung (2.14) nicht mehr gültig. Die Spule kann in diesem Fall nicht mit dem zu Beginn ausgewählten Ferritkern aufgebaut werden und der Auslegungsprozess wird abgebrochen. In diesem Fall wird ein neuer Ferritkern ausgewählt und die Auslegung von neuem gestartet.

Mit dem dargelegten Auslegungsverfahren werden die drei unterschiedlichen Induktivitäten ausgelegt. In Tabelle 3.3 sind die Ergebnisse des Auslegungsprozesses dargestellt. Für die Spule mit $L_{\sigma} = 0,8 \mu\text{H}$ wird ein Kern der Größe E 42/21/15 mit einem Luftspalt von $g = 1,5 \text{ mm}$ ausgewählt. Die Anzahl der Windungen beträgt 2. Das Material wird mit $B_{\text{max}} = 368 \text{ mT}$ bis knapp unter die Sättigungsgrenze von $B_{\text{sat}} = 390 \text{ mT}$ ausgenutzt. Für die beiden Spulen mit $L_{\sigma} = 3 \mu\text{H}$ und $L_{\sigma} = 6 \mu\text{H}$ werden Ferritkerne der Baugröße E 77/33/32 verwendet. Die Spule mit $L_{\sigma} = 3 \mu\text{H}$ hat einen Luftspalt von 3,5 mm und eine Windungsanzahl von 3. Mit 4 Windungen und einem Luftspalt von $g = 3 \text{ mm}$ wird die Spule mit $L_{\sigma} = 6 \mu\text{H}$ realisiert. Zwei aufgebaute Spulen sind in der Abbildung 3.6 dargestellt. Dabei ist links eine Spule mit $L_{\sigma} = 6 \mu\text{H}$ gezeigt und rechts die Spule mit $L_{\sigma} = 0,8 \mu\text{H}$.

Zur Reduzierung der Verluste in den Leitern der Induktivitäten wird Hochfrequenzlitze verwendet. Dadurch können die Wechselstromverluste in Folge des Skin-Effekts reduziert werden. Zur Auswahl der Litze wird mit Gleichung (3.5) die Eindringtiefe für Kupfer mit $\kappa_{\text{Cu}} = 56 \text{ m}\Omega^{-1} \text{ mm}^{-2}$ bei einer maximalen Schaltfrequenz von 100 kHz berechnet. [15]

$$\delta = \sqrt{\frac{2}{\omega_{\text{sw,max}} \kappa_{\text{Cu}} \mu}} = \sqrt{\frac{2}{2\pi \cdot 100 \text{ kHz} \cdot 56 \frac{\text{m}}{\Omega \text{ mm}^2} \cdot \mu_0}} = 0,21 \text{ mm} \quad (3.5)$$

[15]

Mit dieser Eindringtiefe kann der maximale Leiterdurchmesser der Litze ausgewählt werden. Dabei soll der Radius einer Einzelader kleiner als die Eindringtiefe

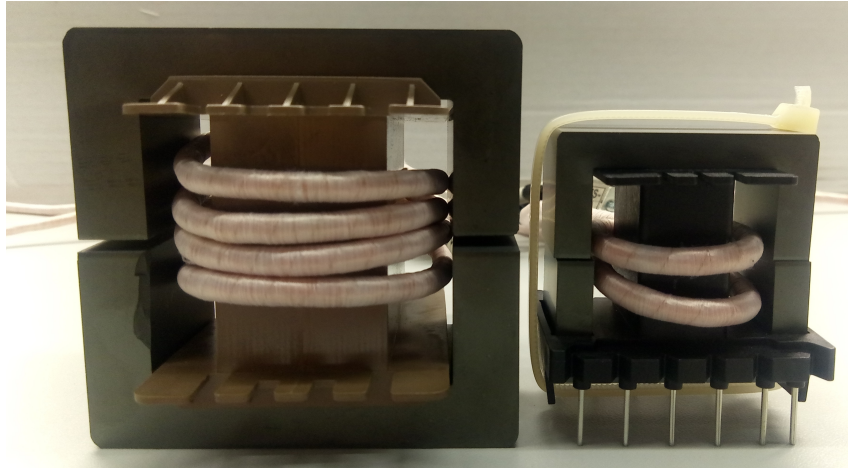


Abbildung 3.6: Aufgebaute Streuinduktivitäten

sein. Die Auswahl der Litze erfolgt aus industriell verfügbaren Leiterdurchmessern. Es wird eine Litze mit einem Leiterdurchmesser von 0,1 mm ausgewählt.

3.6 Auswahl der Leistungsschalter

Für den Aufbau des Gegentaktdurchflusswandlers werden Leistungsschalter benötigt. Die Auswahl dieser Schalter erfolgt in diesem Kapitel anhand der Anforderungen an das Schaltverhalten. Um einen sicheren Betrieb zu gewährleisten, dürfen die Schalter dabei nicht übermäßig beansprucht werden. Dazu ist eine Betrachtung des Spitzen- und Effektivwerts des Stroms durch den Schalter, der Spannungsfestigkeit sowie der Verlustleistung notwendig.

Zur Auswahl der Leistungsschalter stehen unterschiedliche Technologien zur Verfügung. Unter Betrachtung der Anforderungen des Gegentaktdurchflusswandlers werden Bipolartransistoren mit isolierter Gate-Elektrode (IGBTs, engl. insulated-gate bipolar transistor) und MOSFETs genauer untersucht. MOSFETs werden dabei getrennt nach den beiden Halbleitermaterialien Silizium und Siliziumcarbid betrachtet.

Die Auswahl der Leistungsschalter erfolgt getrennt für die beiden WI-Anschlüsse und den Akkuanschluss. Für jeden WI-Anschluss wird eine H-Brücke aus vier Schaltern benötigt. Jeder der Schalter muss für Ströme von $I_{\text{RMS}} = 90 \text{ A}_{\text{RMS}}$ und $\hat{I} = 160 \text{ A}$ ausgelegt sein. Die minimale Spannungsfestigkeit ergibt sich aus der maximalen Spannung der WI-Anschlüsse von 1000 V zuzüglich eines Sicherheitszuschlags. Deshalb werden Leistungshalbleiter mit der nächsthöheren standardisierten Spannungsfestigkeit von 1200 V ausgewählt. Unter diesen Voraussetzungen werden SiC-MOSFETs als Schaltertechnologie verwendet. MOSFETs eignen sich besser als IGBTs zum Schalten der benötigten Ströme bei einer Schaltfrequenz von bis zu 100 kHz. Die benötigte Spannungsfestigkeit kann durch die höhere Bandlücke gegenüber Silizium mit einem SiC-Halbleiter besser realisiert werden.

Da keine geeigneten SiC-MOSFET H4-Brückenmodule zur Verfügung stehen, werden Halbbrückenmodule verwendet. Tabelle 3.4 zeigt die Kennwerte von drei SiC-MOSFET Halbbrückenmodulen verschiedener Hersteller. Die drei Module sind be-

Tabelle 3.4: Vergleich SiC-MOSFET Halbbrückenmodule [25, 27, 29]

Hersteller	Bezeichnung	$\frac{U_{DS}}{V}$	$\frac{I_{DS}}{A}$	$\frac{I_{DS,Puls}}{A}$	$\frac{R_{DS,on}}{m\Omega}$	Temperatur Sensor
Daco	DACMH120N1200	1200	120	300	25	nein
Cree	CAS120M12BM2	1200	193	480	13	nein
Infineon	FF8MR12W2M1_B11	1200	150	30	10	NTC

züglich der Stromtragfähigkeit und der Spannungsfestigkeit für die WI-Anschlüsse des Wandlers geeignet. Unter Berücksichtigung des Volumens und des Pinouts wird das Modul FF8MR12W2M1_B11 ausgewählt. Dieses Modul bietet zudem als einziges die Möglichkeit zur internen Temperaturmessung.

Für den Akkuananschluss wird das Halbbrückenmodul FF23MR12W1M1_B11 ausgewählt. Dieses Modul gehört zur gleichen Baureihe wie das zuvor ausgewählte Modul der WI-Anschlüsse. Damit ist im weiteren Auslegungsprozess eine hohe Kompatibilität zur Auslegung der Treiberschaltungen und der Kurzschlussüberwachung durch die MOSFETs gegeben.

Für die ausgewählten Module wird eine Verlustbetrachtung durchgeführt. Der Durchlasswiderstand eines MOSFETs wird im Datenblatt zu $R_{DS,on} = 11 \text{ m}\Omega$ bei der Chiptemperatur $T_j = 150^\circ\text{C}$ angegeben [27]. Damit können die Durchlassverluste eines MOSFETs $P_{V,cM,FF8}$ nach Gleichung (2.2) berechnet werden.

$$P_{V,cM,FF8} = 11 \text{ m}\Omega \cdot (20,6 \text{ A})^2 = 4,7 \text{ W} \quad (3.6)$$

Die Durchlassverluste der Bodydiode werden nach Gleichung (2.3) berechnet. Dazu wird die Durchlassspannung der Diode $U_f = 4,3 \text{ V}$ aus dem Datenblatt abgelesen [27].

$$P_{V,cD,FF8} = 4,3 \text{ V} \cdot 12,2 \text{ A} = 52,5 \text{ W} \quad (3.7)$$

Aus dem Datenblatt können die Werte $E_{on} = 2,2 \text{ mJ}$ und $E_{off} = 0,77 \text{ mJ}$ bei einer Chiptemperatur von $T_j = 150^\circ\text{C}$ entnommen werden. Die beiden Energien sind jeweils auf den Betriebspunkt $U_{DS,Nenn} = 600 \text{ V}$ und $I_{DS,Nenn} = 150 \text{ A}$ bezogen. Unter Verwendung der Gleichung (2.5) können die Schaltverluste eines MOSFET im Modul berechnet werden. [27]

$$\begin{aligned} P_{V,sw,FF8} &= \frac{1}{\pi} \cdot 80 \text{ kHz} \cdot \frac{700 \text{ V}}{600 \text{ V}} \cdot \frac{25,3 \text{ A}}{150 \text{ A}} \cdot (2,2 \text{ mJ} + 0,77 \text{ mJ}) \\ &= 14,9 \text{ W} \end{aligned} \quad (3.8)$$

Die Gesamtverluste in einem Leistungsmosfet $P_{V,MOSFET,FF8}$ werden nach Gleichung (2.6) berechnet.

$$P_{V,MOSFET,FF8} = 4,7 \text{ W} + 52,5 \text{ W} + 14,9 \text{ W} = 72,1 \text{ W} \quad (3.9)$$

Für einen Leistungsmosfet am Akkuananschluss wird analog eine Verlustleistung von $P_{V,MOSFET,FF23} = 43,3 \text{ W}$ berechnet.

Mit der Verlustleistung kann das Kühlsystem der Leistungsmosfets ausgelegt werden. Zur Auslegung des Kühlsystems wird das thermische Ersatzschaltbild in

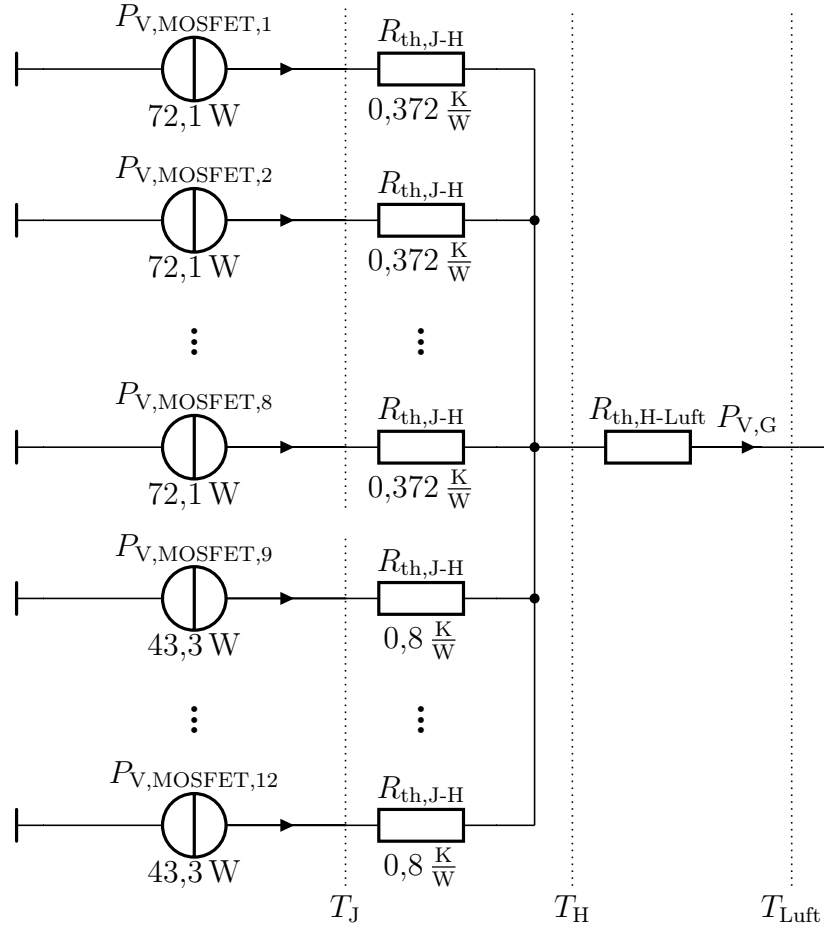


Abbildung 3.7: Thermisches Ersatzschaltbild des Kühlsystems

Abbildung 3.7 verwendet. Das Ersatzschaltbild besitzt insgesamt zwölf Verlustquellen, die jeweils einen MOSFET darstellen. Acht der Verlustquellen haben eine Verlustleistung von $P_{V,MOSFET,FF8} = 72,1 \text{ W}$ und die vier weiteren Verlustquellen eine Verlustleistung von $P_{V,MOSFET,FF23} = 43,3 \text{ W}$. In Reihe zu jeder Verlustquelle ist der thermische Übergangswiderstand $R_{th,J-H}$, der den Datenblättern entnommen werden kann. Dieser Wärmewiderstand steht für alle thermischen Übergänge vom Chip bis zum Kühlkörper.

Durch die Verwendung eines gemeinsamen Kühlkörpers für alle MOSFETmodule fließen die Wärmeströme im Kühlkörper zusammen. Der Kühlkörper gibt die gesamte Verlustleistung an die Umgebungsluft ab. Dabei fällt der thermische Widerstand $R_{th,H-Luft}$ an.

Unter den Rahmenbedingungen der maximalen Chiptemperatur $T_{J,max} = 150^\circ\text{C}$ [27, 30] und der maximalen Umgebungstemperatur $T_{Luft,max} = 60^\circ\text{C}$ kann der maximal zulässige Wärmewiderstand $R_{th,HA,max}$ berechnet werden. Dazu wird zuerst die maximale Kühlkörpertemperatur bestimmt. Diese kann mit der maximalen Chiptemperatur und der Temperaturdifferenz über dem Wärmewiderstand $R_{th,J-H}$ nach Gleichung (2.8) berechnet werden. Für die beiden unterschiedlichen MOSFETmodule muss diese Rechnung einzeln vorgenommen werden. Die niedrigere Temperatur

ist dabei maßgeblich.

$$T_{H,\max,\text{MOSFET}} = T_{J,\max} - R_{\text{th},J-H} \cdot P_{V,\text{MOSFET}}$$

$$T_{H,\max,\text{FF8}} = 150^\circ\text{C} - 0,372 \frac{\text{K}}{\text{W}} \cdot 72,1 \text{ W} = 123,2^\circ\text{C} \quad (3.10)$$

$$T_{H,\max,\text{FF23}} = 150^\circ\text{C} - 0,8 \frac{\text{K}}{\text{W}} \cdot 43,3 \text{ W} = 115,4^\circ\text{C} \quad (3.11)$$

$$T_{H,\max} = \min(T_{H,\max,\text{FF8}}, T_{H,\max,\text{FF23}})$$

$$= \min(123,2^\circ\text{C}, 115,4^\circ\text{C}) = 115,4^\circ\text{C} \quad (3.12)$$

$$R_{\text{th},\text{HA},\max} = \frac{T_{H,\max} - T_{\text{Luft},\max}}{8 \cdot P_{V,\text{MOSFET},\text{FF8}} + 4 \cdot P_{V,\text{MOSFET},\text{FF23}}}$$

$$= \frac{115,4^\circ\text{C} - 60^\circ\text{C}}{8 \cdot 72,1 \text{ W} + 4 \cdot 43,3 \text{ W}} = 0,074 \frac{\text{K}}{\text{W}} \quad (3.13)$$

Mit dem maximalen thermischen Widerstand $R_{\text{th},\text{HA},\max}$ aus Gleichung (3.13) kann ein Kühlkörper ausgewählt werden. Dabei muss die Grundfläche des Kühlkörpers groß genug sein, um alle sechs MOSFETmodule darauf anzubringen.

Der Kühlkörper LA22 in einer Länge von 200 mm mit dem thermischen Widerstand $R_{\text{th},H-\text{Luft}} = 0,06 \text{ K W}^{-1}$ wird ausgewählt. Dieser zwangsbelüftete Kühlkörper besitzt zwei 24 V Lüfter. [31]

Bei Verwendung dieses Kühlkörpers stellt sich mit den betrachteten Verlustleistungen die maximale Chiptemperatur von $139,6^\circ\text{C}$ ein. Die ausgewählten MOSFETmodule können somit verwendet werden.

3.7 Auslegung der Zwischenkreiskondensatoren

Die Auslegung der Zwischenkreiskondensatoren für die drei DC-Anschlüsse wird in diesem Kapitel dargelegt. Diese Zwischenkreiskondensatoren werden an die DC-Anschlüsse angeschlossen. Dort begrenzen die Kondensatoren die Welligkeit der Spannung und stellen die gepulsten Ströme bereit, die zur Leistungsübertragung benötigt werden.

Zur Auswahl der Kondensatoren sind neben der Kapazität die Ströme $I_{C,\text{RMS}}$ und \hat{I}_C sowie die Spannungsfestigkeit maßgeblich. Die Auslegung dieser Kennwerte wird durch die im nachfolgenden Kapitel 3.8 vorgestellte Simulation unterstützt. Die Restwelligkeit der DC Spannung soll auf $\pm 2\%$ der Nennspannung begrenzt werden. Für die beiden WI-Anschlüsse mit der Nennspannung 700 V ergibt sich damit eine maximale Welligkeit von $\pm 14 \text{ V}$.

Die benötigte Zwischenkreiskapazität für die beiden WI-Anschlüsse wird simulativ zu $7,5 \mu\text{F}$ bestimmt. Zur Realisierung der Zwischenkreiskapazität der WI-Anschlüsse werden zwei unterschiedliche Kondensatortypen verwendet: hochfrequenz Folienkondensatoren der Baureihe R76 und Keramikkondensatoren aus der StackiCap™ Baureihe. An jeden WI-Anschluss werden insgesamt fünf $1 \mu\text{F}$ Folienkondensatoren und zwölf $0,22 \mu\text{F}$ Keramikkondensatoren mit einer Gesamtkapazität von $7,64 \mu\text{F}$ angeschlossen. Damit liegt die realisierte Gesamtkapazität über der benötigten Zwischenkreiskapazität von $7,5 \mu\text{F}$. [32, 33]

Die maximalen Kondensatorströme werden unter Zuhilfenahme der Simulation zu $I_{C,\text{WI},\text{RMS}} = 50 \text{ A}_{\text{RMS}}$ und $\hat{I}_{C,\text{WI}} = 100 \text{ A}$ bestimmt. Der maximale Effektivstrom

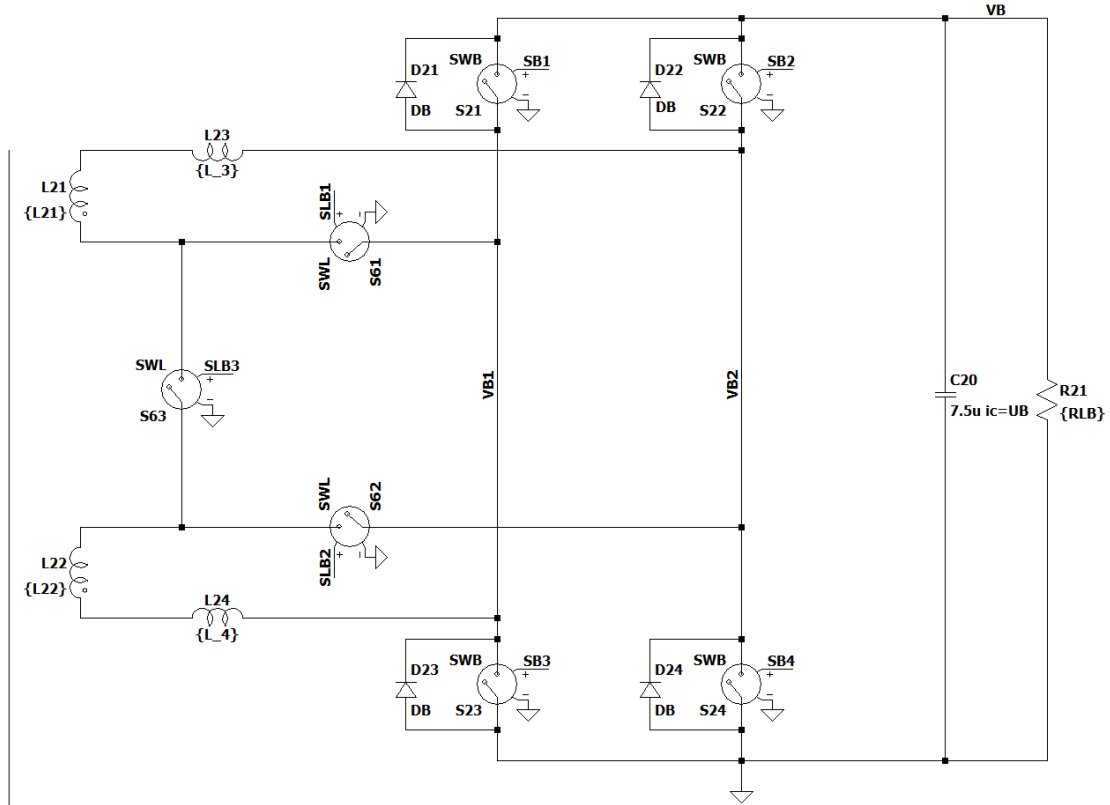


Abbildung 3.8: WI-Anschluss 2 im Simulationsmodell

des Folienkondensators wird mit $12,2 A_{RMS}$ bei 100 kHz angegeben. Fünf parallele Folienkondensatoren können somit einen ausreichend hohen Strom von $61 A_{RMS}$ führen. Der Spitzenstrom eines Kondensators darf bis zu 500 A betragen und ist somit ausreichend hoch dimensioniert. [32]

Für den Akkuanschluss werden zehn $1 \mu\text{F}$ Keramikkondensatoren und elf $8,2 \mu\text{F}$ Elektrolytkondensatoren ausgewählt. Damit ergibt sich eine Gesamtkapazität am Akkuanschluss von $100,2 \mu\text{F}$.

3.8 Schaltungssimulation

Die Auslegung des Wandlers wird durch eine Simulation der Schaltung verifiziert. Dazu wird das Simulationsprogramm LTspice verwendet. In der Simulation werden statische Arbeitspunkte betrachtet, eine Analyse des dynamischen Verhaltens ist nicht vorgesehen. Deshalb wird auf eine ausführliche Auslegung der Reglerparameter des Wandlers verzichtet und diese werden vereinfacht bestimmt. Um den Einfluss der Einschwingvorgänge zu reduzieren werden die dargestellten Simulationsergebnisse jeweils ab einer Vorlaufzeit von 10 ms dargestellt.

In LTspice wird ein Simulationsmodell der Wandlertopologie mit drei Anschlüssen aufgebaut. In Abbildung 3.8 ist ein Anschluss des Modells dargestellt. Jeder Anschluss besteht aus einer H4 Leistungsschalterbrücke, den Streuinduktivitäten und den Transformatorwicklungen.

Zur Vereinfachung der Simulation werden als Leistungsschalter keine MOSFET-

```

Spannungen
.param UA=700      200 - 1000V
.param UB=700      200 - 1000V
.param UC=48        40 - 60V
Schaltfrequenz
.param fs=80k       80k - 100k
Ausgangsleistungen
.param PB=10k       0 - 12k   PLA = PLB + PLC <= 12k
.param PC=2k        0 - 2k
Transformator Hauptinduktivitaeten
.param AL = 16u1
.param n_1=5 n_2=10 Windungsverhaeltnis
.param n31=1         Windungsverhaeltnis
.param L11={AL*n_1**2} L12={AL*n_2**2}
.param L21={AL*n_1**2} L22={AL*n_2**2}
.param L31={AL*n31**2}
Transformator Streuinduktivitaeten
.param L_3=3u
.param L_4=6u
.param L33=0.8u
Lastwiderstaende
.param RLB={UB*UB/PB}
.param RLC={UC*UC/PC}
Schalter und Bodydioden Modelle
.model SWA SW(Ron={Ron} Vt=0.5 Vh=0)
.model SWB SW(Ron={Ron} Vt=0.5 Vh=0)
.model SWC SW(Ron={Ron} Vt=0.5 Vh=0)
.model SWL SW(Ron={Ron} Vt=0.5 Vh=0)
.model DA D(Ron=5m Vfwd=4 epsilon=1)
.model DB D(Ron=5m Vfwd=4 epsilon=1)
.model DC D(Ron=5m Vfwd=4 epsilon=1)

.param Ron=8m

```

Abbildung 3.9: Definition der Simulationsparameter

modelle verwendet. Die Leistungsschalter „Sxy“ werden durch ein Schaltermodell realisiert. Eine antiparallele Diode „Dxy“ wird als Bodydiode verwendet. Dabei steht $x = \{1, 2, 3\}$ jeweils für den Anschluss und $y = \{1, 2, 3, 4\}$ für die Position in der Brücke. Für jeden Anschluss können die Eigenschaften des Schalters einzeln eingestellt werden. Eine genaue Parametrierung kann dabei vernachlässigt werden, da die Schaltverluste nicht mit dem Modell untersucht werden.

Die Streuinduktivitäten „Lxy“, mit $x = \{1, 2, 3\}$ für den Anschluss und $y = \{3, 4\}$ für die Position, sind durch Induktivitäten realisiert. Diese sind in Reihe zu den Transformatorwicklungen „Lxy“, mit $y = \{1, 2\}$, geschaltet. Die Transformatorwicklungen werden durch die Spice Direktive „K1 L11 L12 L21 L22 L31 1“ miteinander gekoppelt. Zur Auswahl der aktiven Transformatorwicklungen werden die Schalter „Sxy“, mit $x = \{5, 6\}$ und $y = \{1, 2, 3\}$, verwendet.

Der Kondensator „C20“ stellt die Zwischenkreiskapazität des Anschlusses dar. Diese wird zu Simulationsbeginn auf die Sollspannung „UB“ vorgeladen um den Einschwingvorgang der Simulation zu verkürzen. Der Anschluss 2 wird in der Konfiguration in Abbildung 3.8 als Senke verwendet. Der Widerstand „R21“ stellt dabei die Last an den Klemmen des Anschlusses dar.

Im Modell des Wandlers sind keine Bauteilparameter oder andere Kennwerte direkt hinterlegt. Die Definition dieser Parameter ist in Abbildung 3.9 gezeigt. Für die drei Anschlüsse können dort gesammelt die Sollspannungen und Leistungen angegeben werden. Aus diesen Werten werden die Lastwiderstände berechnet. Die Lastwiderstände werden so berechnet, dass wenn die Sollspannung am Anschluss anliegt, der Widerstand die Sollleistung aufnimmt. Mit dem Wert „AL“ und den Windungszahlen „n_1“, „n_2“ und „n31“ werden die Hauptinduktivitäten des Transformators berechnet. Die Modelle der Leistungsschalter und der Bodydioden sind dort ebenfalls definiert.

Die Regelung des Simulationsmodells wird durch die Schaltung in Abbildung 3.10 realisiert. Als Regelgröße wird die Spannung verwendet. Die Regelabweichung wird geglättet, um den Einfluss der Spannungswelligkeit auf die Regelung zu reduzie-

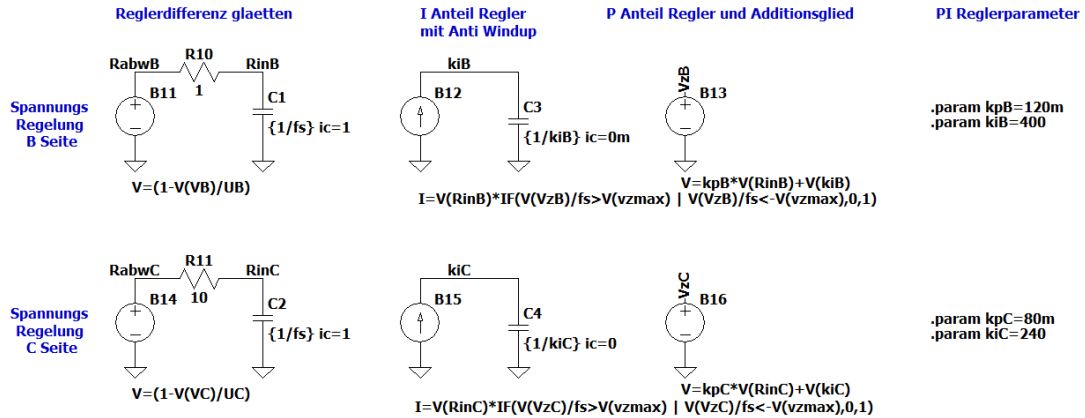


Abbildung 3.10: Spannungsregelung im Simulationsmodell

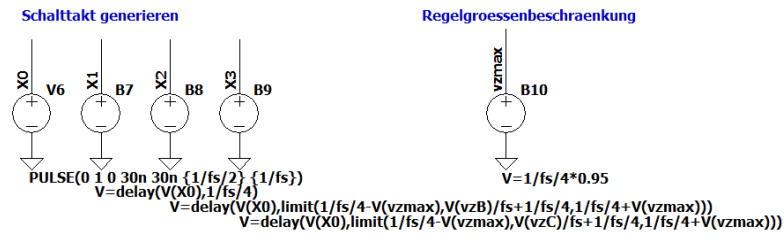
ren. Der verwendete PI-Regler wird durch Addition der Ausgangsgrößen eines P- und eines I-Reglers realisiert. Als Speicherglied des I-Reglers wird ein Kondensator verwendet. Dieser wird mit einem Strom ge- bzw. entladen, der abhängig von der Regelabweichung ist. Läuft der Regler in die Stellgrößenbegrenzung wird eine Anti-Windup Strategie aktiviert, die ein weiteres Aufladen des Kondensators verhindert. Der P-Anteil des Reglers wird durch eine BV Quelle realisiert, die gleichzeitig auch zur Addition des P- und I-Anteils der Stellgröße verwendet wird.

Als Stellgröße der Regelung wird die Phasenverschiebung der Schalttakte der drei H4-Brücken gegeneinander verwendet. Die maximale Leistungsübertragung wird bei einer Phasenverschiebung von 90° erreicht, bei einer höheren Phasenverschiebung sinkt die übertragene Leistung wieder. Aus Stabilitätsgründen wird die Stellgröße daher auf $0,95 \cdot 90^\circ$ begrenzt.

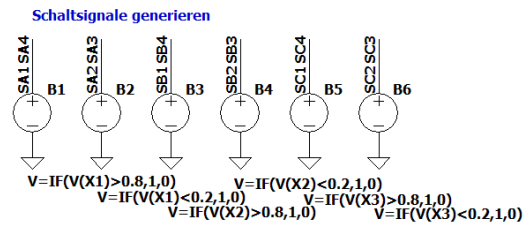
Mit der Phasenverschiebung können die Pulsweiten Modulierten (PWM) Schaltsignale berechnet werden, siehe Abbildung 3.11. Dazu wird ein Taktsignal „X0“ mit der Schaltfrequenz generiert. Dieses Taktsignal wird als Bezugssignal für die Phasenverschiebung der Taktsignale der drei H4-Brücken „X1“, „X2“ und „X3“ verwendet. Da das Vorzeichen der Phasenverschiebung abhängig von der Leistungsflussrichtung ist, wird ein Offset von 90° zu allen Phasenverschiebungen addiert. Aus den Schalttakten der drei Brücken werden anschließend die PWM Schaltsignale der Leistungsschalter generiert. Die beiden diagonal gegenüber sitzenden Leistungsschalter einer H4-Brücke haben dabei immer das gleiche Schaltsignal.

In der Abbildung 3.12 sind die Spannungen an den drei Anschlüssen im Nennbetriebspunkt gezeigt. Der Wandler wird am Anschluss A mit einer Spannung von $U_A = 700\text{ V}$ gespeist. Die Anschlüsse B und C sind als Senken konfiguriert. Dabei hat der Anschluss B eine Sollspannung von 700 V und eine Leistungsaufnahme von 10 kW . Am Akkuanschluss C wird eine Leistung von 2 kW bei einer Sollspannung von 48 V aufgenommen. Damit entspricht die Gesamtleistung am Anschluss A 12 kW . Die Spannungen an den beiden Ausgängen entsprechen den eingestellten Sollwerten. Durch die Definition des Lastwiderstands in Abbildung 3.9 fällt bei der anliegenden Sollspannung über dem Widerstand auch die eingestellte Sollleistung ab.

Die Spannungsverläufe der beiden Ausgangsspannungen sind in Abbildung 3.13



(a)



(b)

Abbildung 3.11: Erzeugung

(a) des Schalttaktes und
 (b) der PWM Schaltsignale
 im Simulationsmodell

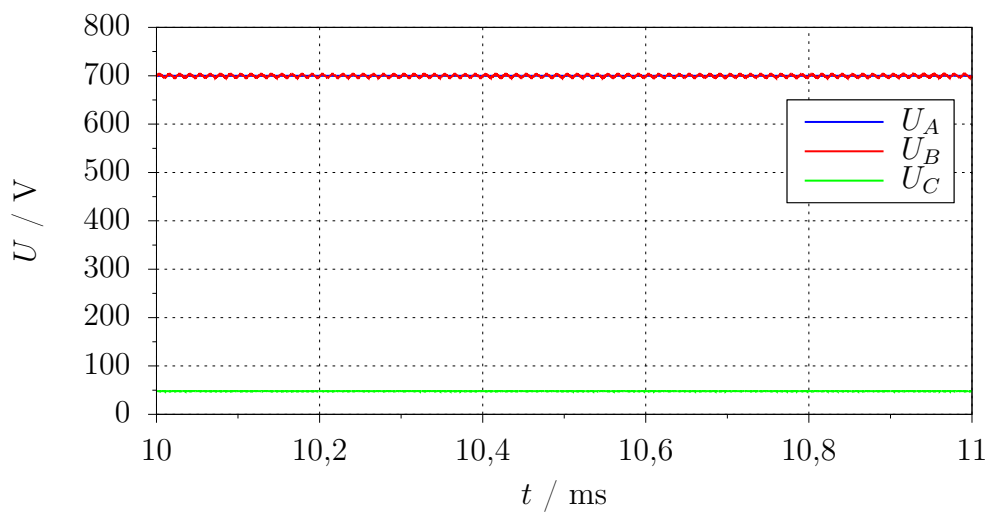


Abbildung 3.12: Spannungen an den drei Anschlüssen

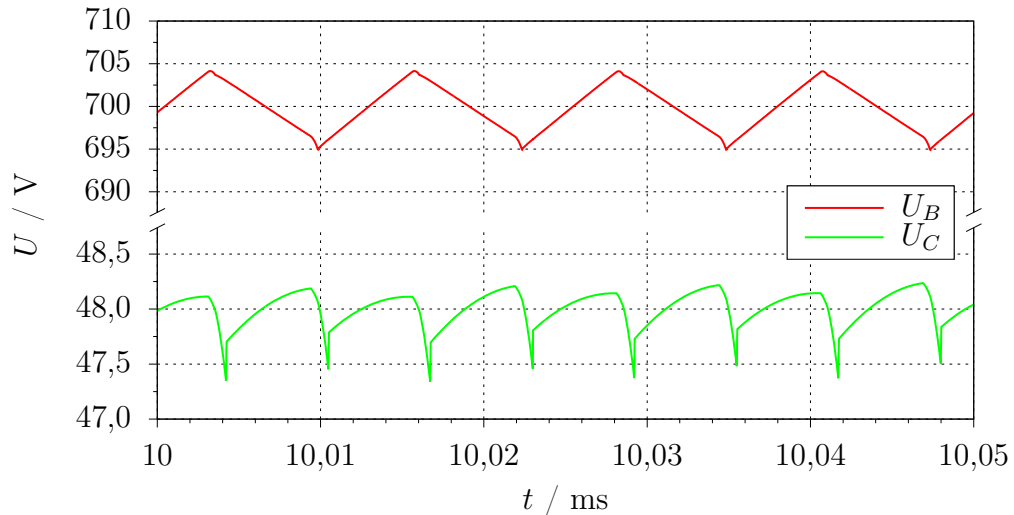


Abbildung 3.13: Spannungswelligkeit der beiden Ausgangsspannungen

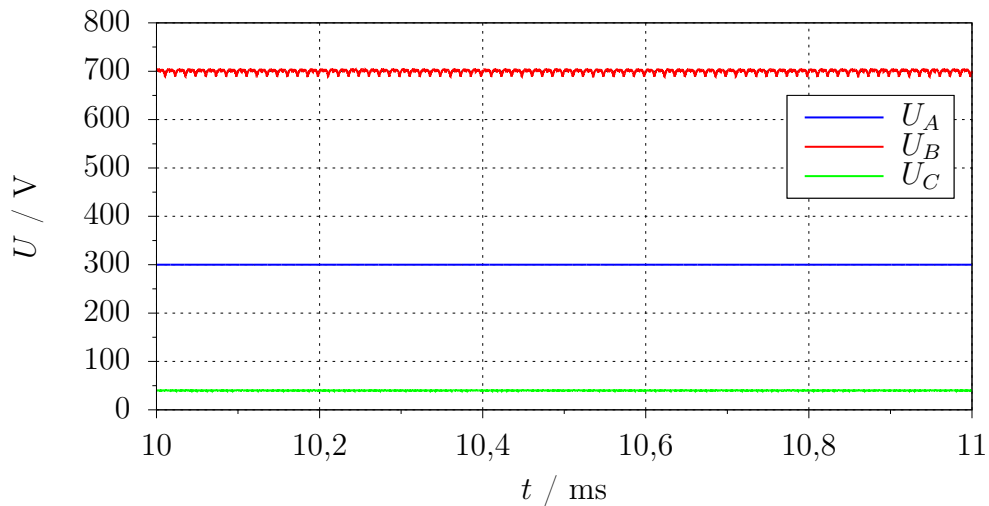


Abbildung 3.14: Spannungen an den drei Anschlüssen

vergrößert dargestellt. Dabei ist zu erkennen, dass die beiden Ausgangsspannungen eine Welligkeit besitzen. Diese Welligkeit beträgt für die Spannung am WI-Anschluss ca. $+4\text{ V}/-5\text{ V}$ und für die Ausgangsspannung am Akkuanschluss ca. $+0,3\text{ V}/-0,7\text{ V}$. Damit liegt die Restwelligkeit der Spannungen unter der festgelegten Grenze von $\pm 2\%$ der jeweiligen Nennspannung. Die Spannung des Anschlusses A wird in der Simulation aus einer idealen Spannungsquelle gespeist und entspricht deswegen konstant dem Spannungssollwert von 700 V .

Der Betrieb des Wandlers mit drei aktiven Anschlüssen und Sollspannungen von $U_A = 300\text{ V}$, $U_B = 700\text{ V}$ und $U_C = 40\text{ V}$ ist in Abbildung 3.14 gezeigt. Am Anschluss A ist die Transformatorwicklung mit 10 Windungen ausgewählt. Für die höhere Spannung an dem Anschluss B werden beide Wicklungen in Reihe geschaltet, sodass an diesem Anschluss insgesamt 15 Transformatorwindungen ausgewählt sind. Die beiden Ausgangsspannungen entsprechen den eingestellten Sollspannungen. Dadurch werden an den Ausgängen auch die Sollleistungen von $P_B = 10\text{ kW}$ und $P_C = 2\text{ kW}$ abgegeben.

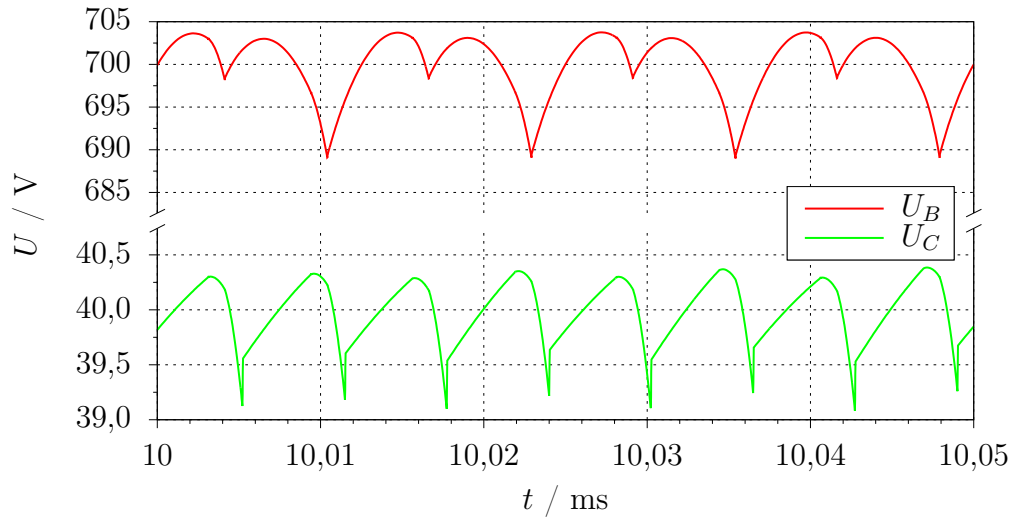


Abbildung 3.15: Spannungswelligkeit der beiden Ausgangsspannungen

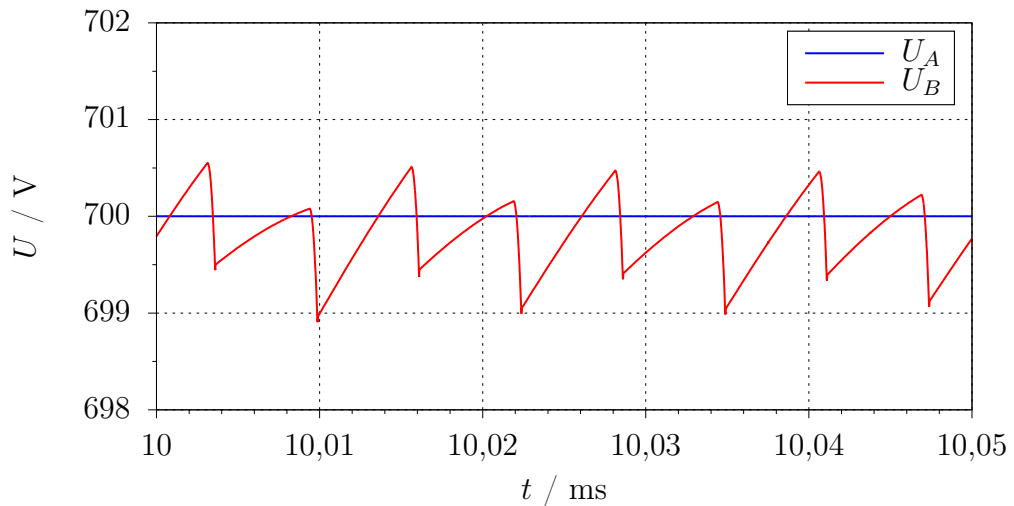


Abbildung 3.16: Spannungen im Betrieb mit zwei aktiven WI-Anschlüssen

Die beiden Ausgangsspannungen U_A und U_B sind in der Abbildung 3.15 detailliert gezeigt. Dabei ist die Spannungswelligkeit, die die Ausgangsspannungen überlagert, wieder deutlich sichtbar. Gegenüber dem Betrieb im Nennpunkt steigt die negative Spitze der Spannungswelligkeit am Anschluss B deutlich auf ca. -12 V an.

Die Abbildung 3.16 zeigt die Spannungsverläufe des Wandlers bei der Verwendung von nur zwei Anschlüssen. Dabei sind in der dargestellten Simulation die beiden WI-Anschlüsse aktiv und der Akkuanschluss inaktiv. Die Sollspannung der beiden aktiven Anschlüsse ist auf 700 V eingestellt. An dem als Ausgang des Wandlers eingestellten Anschluss B entspricht die Spannung dem Sollwert. Diese Ausgangsspannung hat auch im Betrieb mit zwei Anschlüssen eine Restwelligkeit. Diese Welligkeit beträgt in der dargestellten Simulation ca. $+0,5\text{ V}/-1\text{ V}$. Damit kann die maximale Restwelligkeit der Ausgangsspannung von $\pm 14\text{ V}$ auch in diesem Betriebszustand eingehalten werden. Zwischen den beiden WI-Anschlüssen wird die maximale Leistung von 12 kW übertragen.

Der Betrieb des Wandlers mit zwei aktiven Anschlüssen kann alternativ auch mit

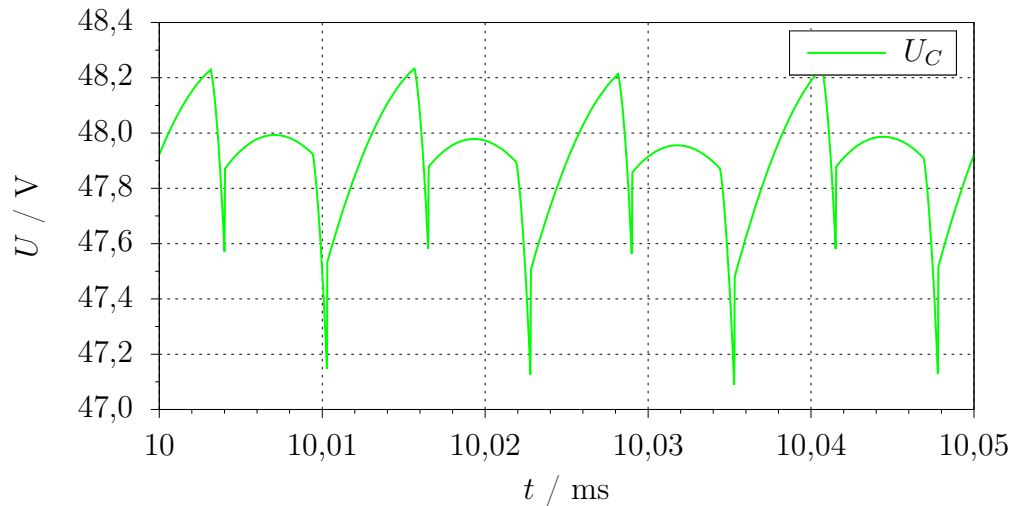


Abbildung 3.17: Spannung des Akkuanschlusses im Betrieb mit zwei aktiven Anschlüssen

einem WI-Anschluss und dem Akkuanschluss erfolgen. Die Ausgangsspannung des Akkuanschlusses für diesen Betriebsfall ist in Abbildung 3.17 im Detail dargestellt. Dabei ist am Akkuanschluss C eine Sollspannung von 48 V und eine Leistung von 2 kW eingestellt. Der Wandler kann die eingestellte Leistung auch in diesem Betriebspunkt übertragen. Die Ausgangsspannung hat dabei eine Welligkeit von ca. $+0,2 V / -0,9 V$. Damit liegt die Restwelligkeit im erlaubten Bereich.

Kapitel 4

Aufbau des Gegentaktdurchflusswandlers

In diesem Kapitel wird die praktische Realisierung des Gegentaktdurchflusswandlers beschrieben. Im ersten Abschnitt 4.1 werden das Konzept und die zugrunde liegenden Funktionsgruppen vorgestellt. Im Anschluss wird auf den Schaltplan und die Funktionen einzelner Schaltungen eingegangen. Die Realisierung des erstellten Schaltplans als Platine wird im Abschnitt 4.3 vorgestellt.

4.1 Gesamtkonzept

Das Konzept des DC/DC-Wandlers ist als Blockschaltbild in Abbildung 4.1 dargestellt. Es besteht aus dem Leistungsteil des Wandlers sowie den Messungen im mittleren und oberen Teil des Bildes und den Hilfsschaltungen im unteren Teil.

Der Leistungsteil besteht aus drei Anschlüssen deren Struktur identisch ist und zwischen denen Leistung übertragen werden kann. Am linken Bildrand befinden sich die Anschlussklemmen mit denen der Wandler an die unterschiedlichen DC Netze angeschlossen wird. Daran anschließend folgt eine Relaisschaltung mit der die Anschlüsse einzeln eingeschaltet werden können. Zur Regelung des Wandlers folgt zuerst eine Strom- und dann eine Spannungsmessung. Die Spannung wird parallel zu den Zwischenkreiskondensatoren gemessen. Nach den Zwischenkreiskondensatoren wird die Gleichspannung von Leistungshalbleitern in eine Wechselspannung transformiert. Diese Wechselspannung wird von einer Relaisschaltung auf den Transformator geschaltet. Über den Transformator sind die drei Anschlüsse galvanisch getrennt gekoppelt.

Die Hilfsschaltungen im unteren Teil des Blockschaltbildes sind der Mikrocontroller, die Gatetreiber, eine Kommunikationsschnittstelle, eine Betriebszustandsüberwachung sowie die Betriebsspannungsversorgung. Die Spannungsversorgung stellt verschiedene Spannungen bereit, die zum Betrieb des Wandlers benötigt werden. Der Mikrocontroller ist die zentrale Steuereinheit des Wandlers. Dort werden die analogen Messsignale erfasst und ausgewertet. Danach regelt der Mikrocontroller die Schaltzustände der Relaisschaltungen und die PWM zur Steuerung der Leistungshalbleiter. Die Leistungshalbleiter werden entsprechend der Taktsignale des Mikrocontrollers von einer Treiberschaltung geschaltet. Mit einer Schaltung zur Überwachung des Betriebszustandes des Wandlers kann die Treiberschaltung bei einem Fehler auf der Platine gesperrt werden. Der Mikrocontroller kann mit einer Kommunikationsschnittstelle mit anderen Schaltungen kommunizieren.

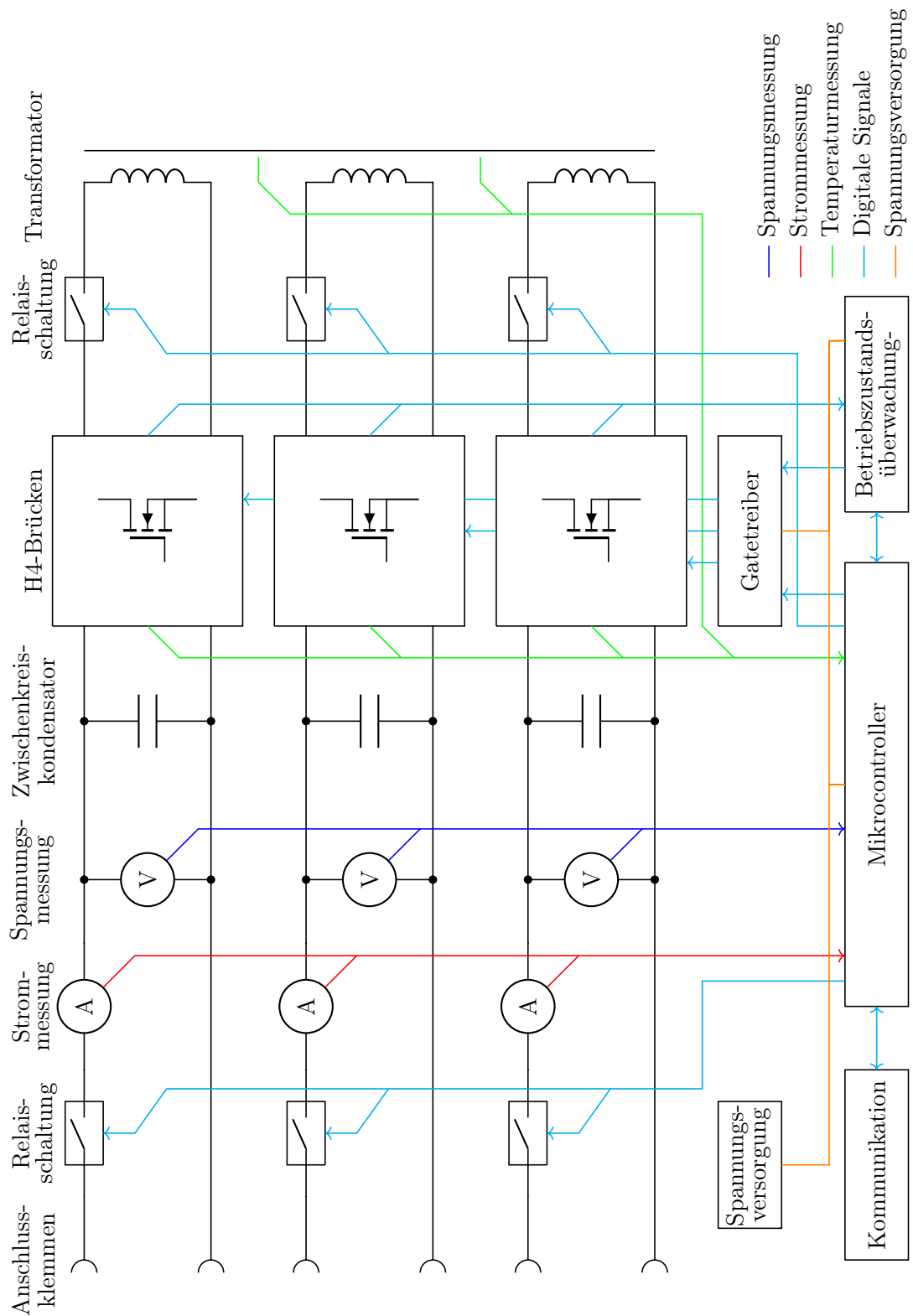


Abbildung 4.1: Blockschaltbild

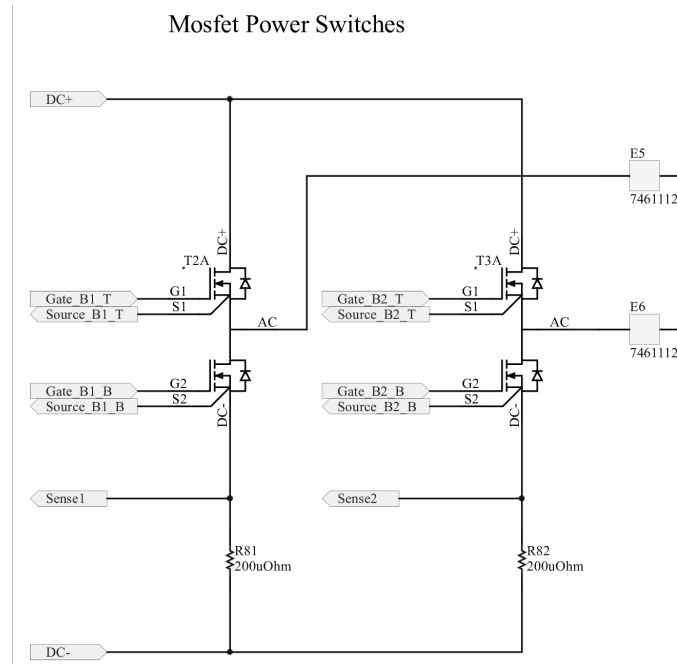


Abbildung 4.2: MOSFET H4-Brücke eines WI-Anschluss

4.2 Erstellung des Schaltplans

Nach der Erstellung eines Konzeptes des DC/DC-Wandlers wird der Schaltplan erstellt. Während des Zeichnens werden die benötigten Schaltungselemente entsprechend den Anforderungen ausgelegt. In diesem Kapitel wird die Auslegung wichtiger Funktionsgruppen nachfolgend vorgestellt.

4.2.1 Leistungsteil

Der Leistungsteil des DC/DC-Wandlers überträgt die Energie zwischen den drei Anschlüssen. Dieser besteht aus dem Transformator, den Induktivitäten, den Leistungsmosfets, den Relais und den Zwischenkreiskondensatoren. Die Auslegung dieser Bauteile wird in Kapitel 3 beschrieben.

Die H4-Brücke eines WI-Anchlusses ist in Abbildung 4.2 gezeigt. Diese besteht aus vier Leistungsmosfets. Die Mosfets sind in zwei Halbbrücken angeordnet. Jede dieser Halbbrücken, bestehend aus zwei Mosfets, stellt ein Mosfetmodul dar. Die Mosfets in einer Halbbrücke werden abhängig von ihrer Position in der Halbbrücke als High-Side oder Low-Side Mosfet bezeichnet, dabei ist der High-Side Mosfet an $DC+$ und der Low-Side Mosfet an $DC-$ angeschlossen. In Reihe zu den Halbbrücken ist jeweils ein Shunt, R_{83} bzw. R_{84} . Dieser wird verwendet um einen Kurzschluss durch eine Halbbrücke zu detektieren. Zwischen den beiden Mosfets einer Halbbrücke kann die AC-Spannung abgegriffen werden. Diese Wechselspannung wird von den Modulen auf die Klemmen E_5 und E_6 geführt und von dort an den Transformator angeschlossen.

Um den Ladestrom der Zwischenkreiskondensatoren beim Einschalten der DC-Spannung zu begrenzen, wird eine Vorladeschaltung verwendet. Ein Schaltplanausschnitt dieser Vorladeschaltung ist in Abbildung 4.3 gezeigt. Die externe Spannungs-

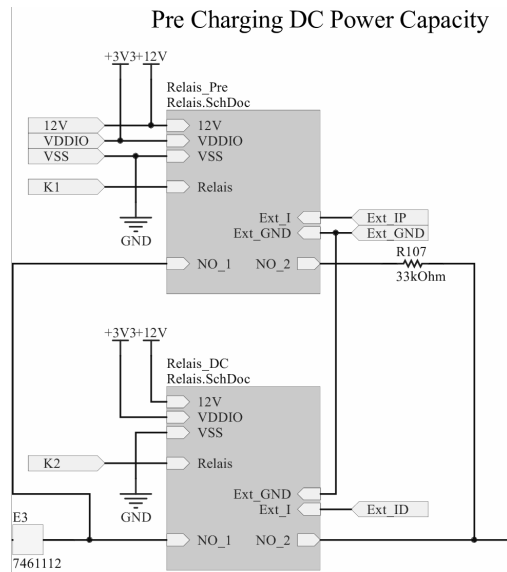


Abbildung 4.3: Vorladeschaltung Zwischenkreiskondensatoren

quelle, von Klemme E_3 kommend, wird zuerst über den Widerstand R_{107} mit dem DC Zwischenkreis verbunden. Dieser Widerstand begrenzt den Ladestrom der Kondensatoren auf den maximal zulässigen dauerhaften Betriebsstrom. Sind die Zwischenkreiskondensatoren voll aufgeladen, werden die Relais umgeschaltet. Dadurch wird die Spannungsquelle zur Verlustminimierung direkt mit dem Zwischenkreis verbunden.

Zur Bestimmung der Leistung jedes Anschlusses wird der Eingangsstrom und die Spannung im Zwischenkreis an jedem DC-Anschluss gemessen. Die Messung des Stromes erfolgt zwischen dem DC-Anschluss und den Zwischenkreiskondensatoren, vgl. Kaptiel 4.2.6. Die Spannung wird parallel zu den Zwischenkreiskondensatoren gemessen, vgl. Kapitel 4.2.7.

Die Auswahl der aktiven Transformatorwicklungen erfolgt ebenso wie die Vorladeschaltung mit Relais. Dabei kommen Relais vom Typ V23132-B2002-A200 zum Einsatz. Diese Relais werden von einem SignalMOSFET geschaltet, dessen Schaltsignale vom Mikrocontroller oder einer externen Steuereinheit generiert werden können. Die Auswahl des aktiven Schaltsignals der Relais erfolgt durch den Jumper J_8 , siehe Abbildung 4.4. Die Schaltsignale der externen Steuereinheit werden dabei galvanisch von der 3,3 V Betriebsspannung getrennt. Durch die Trennung mit dem Optokoppler Q_4 kann die Spannung des Schaltsignals der externen Steuereinheit in einem Bereich von 3 V bis 24 V liegen.

4.2.2 Treiberschaltung

Zur Ansteuerung der Leistungsmosfets wird eine Treiberschaltung verwendet. Diese wandelt die 3,3V Taktsignale in Leistungssignale um, mit denen die Mosfets geschaltet werden. Die Treiberschaltung wird für jeden Leistungsmosfet einmal aufgebaut. Für die beiden Treiberschaltungen jeder Mosfet Halbbrücke wird eine eigenständige Platine erstellt. Dadurch kann der Treiber zur Vereinfachung des Platinendesigns direkt über dem Mosfetmodul angebracht werden.

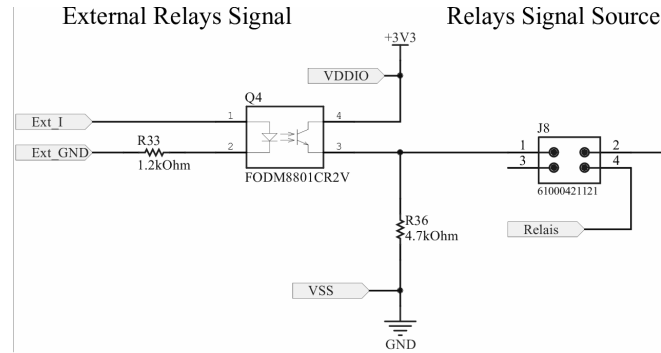


Abbildung 4.4: Schaltsignalauswahl Relais

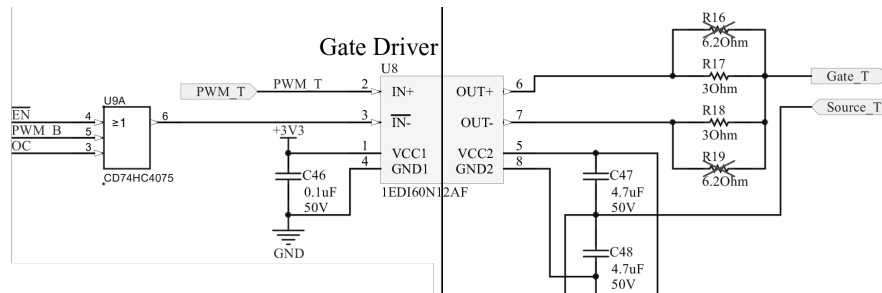


Abbildung 4.5: Gatetreiberschaltung

Das Taktsignal der MOSFETs kann aus zwei unterschiedlichen Quellen bezogen werden. Die erste Taktquelle ist der Mikrocontroller des DC/DC-Wandlers, vgl. Kapitel 4.2.5. Alternativ kann als zweite Quelle eine externe Steuereinheit verwendet werden. Diese wird über Lichtwellenleiter (LWL) an die Gatetreiberplatine angeschlossen. Die LWL-Signale werden von einem LWL-Empfänger in ein 3,3 V Taktsignal gewandelt.

Die Auswahl der Taktquelle erfolgt für jeden MOSFET einzeln durch den Anwender mit dem Jumper J_{14} . Das ausgewählte Taktsignal wird an den integrierten Schaltkreis (IC, engl. Integrated Circuit) des Gatetreibers angeschlossen.

Den Schaltplan der Gatetreiberschaltung zeigt Abbildung 4.5. Als Gatetreiber wird der IC 1EDI60N12AF verwendet. Dieser wandelt das 3,3 V Taktsignal an der Eingangsseite in ein isoliertes Leistungssignal auf der Ausgangsseite. Die Ausgangsseite wird mit einer Spannung von +15 V/−5 V mit dem MOSFET Sourceanschluss als Bezugspotential betrieben, siehe Kapitel 4.2.4. Diese Spannungen werden von dem GatetreiberIC entsprechend dem Eingangstaktsignal auf das Gate des MOSFET geschaltet. Dadurch wird die Gatekapazität des MOSFET gel- bzw. entladen und der MOSFET schaltet.

Die Schaltgeschwindigkeit des MOSFET ist abhängig vom Lade- bzw. Entladevorgang der Gatekapazität. Durch den Widerstand im Strompfad der Gatekapazität wird der Strom und damit die Schaltgeschwindigkeit begrenzt. Der maximale Ladestrom des Gatetreibers von 10 A [34] darf dabei nicht überschritten werden. Durch die Verwendung unterschiedlicher Lade- R_{17} und Entladewiderstände R_{18} kann die Einschalt- und Ausschaltgeschwindigkeit unabhängig voneinander eingestellt werden. Der GatetreiberIC besitzt dazu jeweils einen einzelnen Anschluss zum Laden (OUT+) und Entladen (OUT-) des Gates.

Zur Erkennung eines Kurzschlusses in einer MOSFET Halbbrücke ist zwischen dem Sourceanschluss des Low-Side MOSFET und der DC- Spannung ein Shunt angeschlossen. Nach dem Ohm'schen Gesetz

$$I = \frac{U}{R} \quad (4.1)$$

ist die Spannung über dem Shunt U_{Shunt} proportional zu dem Strom durch den Shunt. Die Spannung U_{Shunt} wird von einem Schwellwertschalter überwacht. Steigt U_{Shunt} infolge eines hohen Stroms über den eingestellten Schwellwert wird ein Kurzschluss-signal ausgegeben. Das Kurzschluss-signal wird von einem digitalen Übertrager auf das 3,3 V Betriebsspannungspotential transformiert. Dort führt das Signal zu einer Sperrung der Treibersignale, um ein Abschalten der MOSFETs zu erzwingen und somit den Kurzschluss zu trennen. Dazu wird der Eingang $\overline{\text{IN}}$ des Gatetreibers auf High gesetzt. Dieser Eingang stellt eine $\overline{\text{EN}}$ Funktion des Gatetreibers dar, der bei einem High Signal den Ausgang des GatetreiberIC sperrt. Zudem wird der Betriebszustand des Wandlers deaktiviert, vgl. Kapitel 4.2.3.

4.2.3 Hardware Enable

Zur Aktivierung der Treiberschaltung wird ein Hardware Enable (HwEN) Signal verwendet. Dieses logische Signal stellt den Betriebszustand des Wandlers dar. Hat das HwEN-Signal einen High Pegel, ist der DC/DC-Wandler betriebsbereit. Ist das HwEN-Signal Low, werden die Treibersignale gesperrt und die Leistungsmosfets können nicht eingeschaltet werden.

Das HwEN-Signal wird auf der Platine von einem Flip-Flop gespeichert und ist daher unabhängig von der Funktion des Mikrocontrollers oder einer externen Steuereinheit. Als Flip-Flop wird eine Schaltung aus zwei NAND-Gattern verwendet. Der Betriebszustand wird mittels einer grünen Leuchtdiode (LED, engl. light-emitting diode) bei einem HwEN-Signal bzw. einer roten LED bei einem $\text{Hw}\overline{\text{EN}}$ -Signal angezeigt. Das logische Signal liegt zudem am Mikrocontroller und an der externen Steuereinheit als Eingangssignal an, um den HwEN Zustand zu überwachen. Der initiale Betriebszustand des DC/DC-Wandlers ist immer $\text{Hw}\overline{\text{EN}}$. Dadurch wird ein ungewolltes Anlaufen des Wandlers beim Anlegen der Betriebsspannung verhindert.

Sind die Treibersignale durch ein $\text{Hw}\overline{\text{EN}}$ -Signal gesperrt kann der Wandler durch ein RESET-Signal aktiviert werden. Dieses RESET-Signal kann aus drei Quellen erzeugt werden. Durch den Mikrocontroller oder eine externe Steuereinheit kann das Signal automatisiert gesetzt werden. Alternativ kann der Anwender das Signal manuell mit dem RESET-Button S_1 auf der Platine erzeugen. Zur Aktivierung des Wandlers reicht dabei eines der drei Signale.

Ist der DC/DC-Wandler betriebsbereit kann das Flip-Flop durch ein Fehlersignal umgeschaltet werden. Quellen des Fehlersignals sind die Kurzschlussüberwachungen und eine Brownout-Überwachung. Die Brownout-Überwachung wird durch den IC LM809 realisiert und sendet ein Fehlersignal, wenn die 3,3 V Betriebsspannung der Steuerungselektronik 2,93 V [35] unterschreitet. Durch einen solchen Spannungseinbruch kann die Funktionalität diverser ICs und des Mikrocontrollers beeinträchtigt werden.

Bei einem Kurzschluss in einer der MOSFET Halbbrücken wird ebenfalls ein Fehlersignal erzeugt, siehe Kapitel 4.2.2, das zu einer Deaktivierung des HwEN-Signals

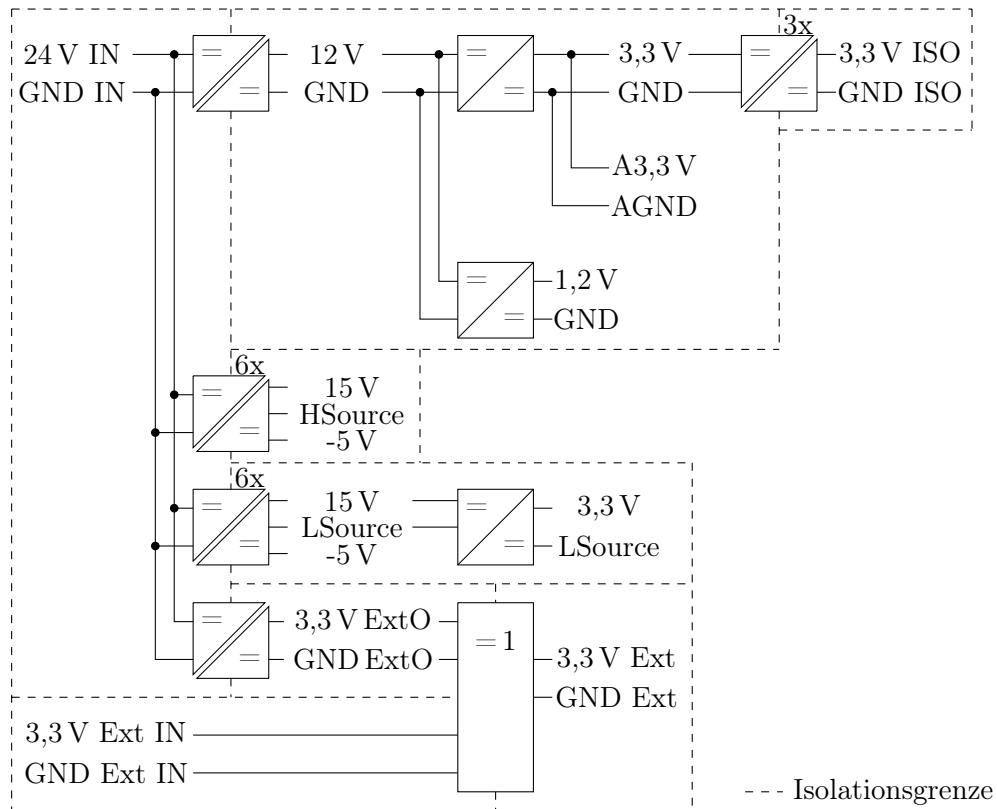


Abbildung 4.6: Konzept der Spannungsversorgung des Wandlers

führt. Dadurch werden alle Treibersignale gesperrt und der Wandler abgeschaltet. Dabei sind die Signallaufzeiten zur Abschaltung der Treibersignale zu minimieren, da SiC-MOSFETs nur bedingt kurzschlussfest sind und sich die Leistungsbilanz am Transformator sprunghaft ändert. Deshalb werden zur Verarbeitung der Kurzschlussignale LogikICs mit einer geringen Ausbreitungsverzugszeit t_{pd} verwendet. Dadurch kann bei einem Kurzschluss die Deaktivierung aller Treibersignale in weniger als 100 ns sichergestellt werden.

4.2.4 Spannungsversorgung

Zum Betrieb der unterschiedlichen Baugruppen des Wandlers werden verschiedene Betriebsspannungen benötigt. Abbildung 4.6 zeigt das Konzept der Spannungsversorgung mit den Isolationsgrenzen. Es können zwei Spannungen an den Wandler angelegt werden. Aus diesen Spannungen werden durch verschiedene Spannungswandler alle benötigten Betriebsspannungen bereitgestellt. Zur Isolation der Spannungen untereinander sind die Ein- und Ausgangsspannungen der Wandler teilweise galvanisch getrennt.

Der Wandler wird mit einem industrietypischen Netzteil mit einer Spannung von 24 V versorgt. Zum Schutz des Wandlers werden alle intern genutzten Betriebsspannungen galvanisch von der Eingangsspannung entkoppelt. Dabei werden die Spannungen in verschiedene Isolationsgruppen eingeteilt, da sich die Spannungen auf unterschiedliche Bezugspotentiale beziehen. Lediglich die Versorgung der Lüfter erfolgt direkt durch die 24 V Versorgungsspannung.

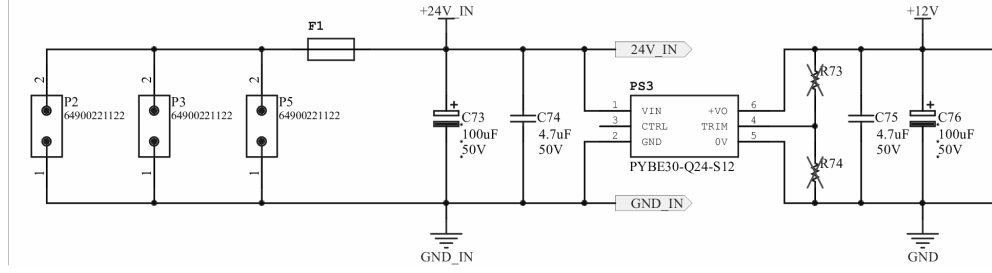


Abbildung 4.7: 24 V Versorgungsspannung

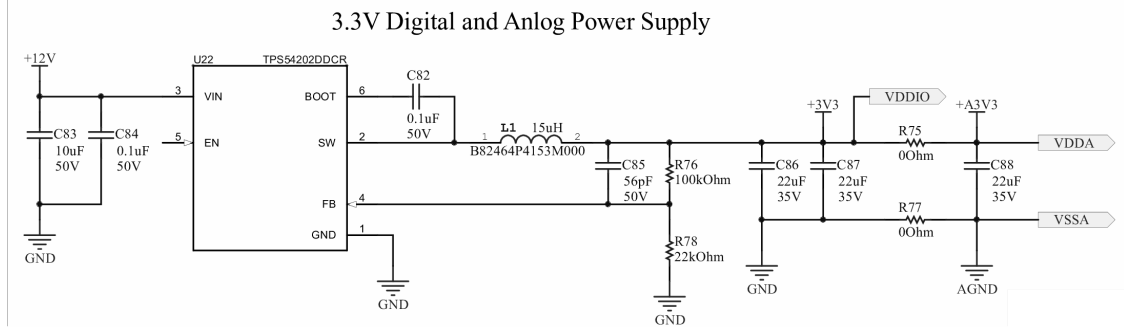


Abbildung 4.8: Tiefsetzstellerschaltung 3,3 V

Abbildung 4.7 zeigt einen Ausschnitt aus dem Schaltplan mit der Verbindung der Versorgungsspannung. Zum Schutz der Versorgungsspannung vor Überlastung und Kurzschluss ist auf der Platine die Sicherung F_1 eingebaut. Die abgesicherte Versorgungsspannung wird durch den Kondensator C_{73} gestützt. Anschließend wird die Spannung zu den verschiedenen Spannungswandlern geführt.

Der Wandler PS_3 erzeugt eine isolierte 12 V Betriebsspannung, mit der die Relais angesteuert werden und aus der die verschiedenen Betriebsspannungen der Steuerungselektronik erzeugt werden. Mit dem Spannungsteiler aus R_{73} und R_{74} kann die 12 V Ausgangsspannung des Wandlers feinjustiert werden. Da dieser Wandler die gesamte Elektronik und die Relais versorgt, muss bei der Auslegung auf eine ausreichend hohe Leistungsdimensionierung geachtet werden. Dazu wird die maximal benötigte Leistung $P_{12V,max}$ abgeschätzt.

$$P_{12V,max} = 6 \cdot P_{Relais} + P_{Elektronik,max} \quad (4.2)$$

Die Leistung der Relais P_{Relais} kann dem Datenblatt [36] entnommen werden. Von den 13 verwendeten Relais werden betriebsbedingt maximal sechs Stück gleichzeitig eingeschaltet. Für die Elektronikbauteile in der Schaltung wird eine maximale Leistung von $P_{Elektronik,max} = 4 \text{ W}$ angenommen. Daraus ergibt sich die maximale Leistung zu $P_{12V,max} = 27,4 \text{ W}$. Die Ausgangsleistung des verwendeten Wandlers PYBE30-Q24-S12 beträgt 30 W [37] und ist damit ausreichend groß dimensioniert.

Zur Versorgung der Elektronik werden aus der 12 V Betriebsspannung die beiden Spannungslevel 3,3 V und 1,2 V mit einem Tiefsetzsteller erzeugt. Dazu wird jeweils der Tiefsetzsteller IC TPS54202 verwendet. Abbildung 4.8 zeigt den Schaltplan zur Erzeugung der 3,3 V Spannung, die Erzeugung der 1,2 V erfolgt analog.

Die 3,3 V Spannung wird nach dem Tiefsetzsteller in zwei Teilnetze aufgeteilt. Mit dem ersten Teilnetz werden die digitalen Elektronikbauteile versorgt, aus dem

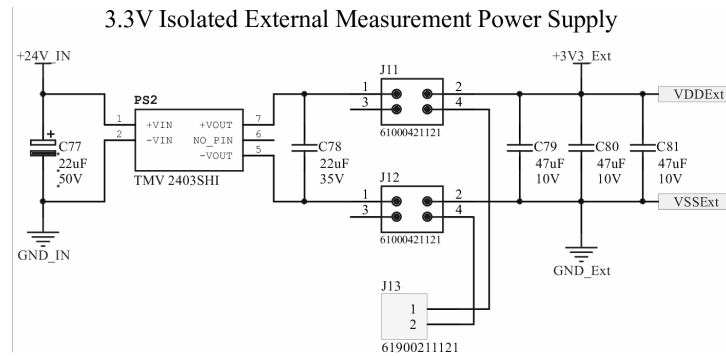


Abbildung 4.9: Spannungsversorgung der externen Messsignale

zweiten Teilnetz die Analogen. Störungen der Versorgungsspannung in den analogen Messungen werden damit reduziert. Die Aufspaltung der Teilnetze erfolgt durch die $0\,\Omega$ Jumper Widerstände R_{75} und R_{77} . Dadurch können die beiden Teilnetze separat geroutet und z. B. zur Inbetriebnahme oder zur Fehlersuche aufgetrennt und aus unterschiedlichen Quellen versorgt werden.

Die Gates der LeistungsmosFETs werden mit einer Spannung von $+15\text{ V}/-5\text{ V}$ angesteuert. Diese wird für jeden MosFET einzeln aus der 24 V Eingangsspannung erzeugt. Eine Isolation der Versorgungsspannungen der MosFETs gegeneinander und gegen die Eingangsspannung ist notwendig, da sich das Bezugspotential der Spannung auf den Sourceanschluss des LeistungsmosFET bezieht.

Bei den Low-Side MOSFETs wird aus der +15 V Treiberspannung eine 3,3 V Spannung erzeugt. Aus dieser Spannung wird die Auswerteelektronik zur Kurzschlussüberwachung versorgt, siehe Kapitel 4.2.2. Zur Erzeugung der Spannung wird ein Low-Drop-Spannungsregler (LDO, engl. low-dropout regulator) verwendet.

Die Versorgung der analogen Messsignale für externe Messungen kann aus zwei Quellen erfolgen, vgl. Kapitel 4.2.9. Abbildung 4.9 zeigt den entsprechenden Schaltplanausschnitt. Durch den Wandler PS_2 kann die isolierte 3,3 V Spannung direkt auf der Platine erzeugt werden. Alternativ kann eine Versorgungsspannung aus einer externen Quelle an der Klemme J_{13} angelegt werden. Dabei ist eine parallele Einspeisung aus beiden Quellen nicht möglich. Die Umschaltung erfolgt durch die beiden Jumper J_{11} und J_{12} .

4.2.5 Mikrocontroller

Um den Spannungswandler zu betreiben wird ein Mikrocontroller als Prozessor (CPU, engl. central processing unit) auf der Platine verwendet. Dieser Controller dient als zentrale Einheit zum Messen, Steuern und Regeln (MSR) der Spannung und des Leistungsflusses sowie zur Kommunikation nach außen.

Zur Auswahl des Mikrocontrollers müssen neben einer ausreichend hohen Rechengeschwindigkeit auch die benötigten Funktionen und die dazugehörigen Anschlüsse beachtet werden. Tabelle 4.1 fasst die minimal erforderlichen Funktionen des Mikrocontrollers zusammen. Entsprechend den Anforderungen wird der Mikrocontroller TMS320F280041CPZ in einem 100-Pin Gehäuse ausgewählt.

Der Mikrocontroller besitzt intern drei Analog-Digital-Wandler (ADCs, engl. analog digital converter), die auf bis zu elf Pins des Gehäuse geführt werden [38]. Um

Tabelle 4.1: Erforderliche Funktionen Mikrocontroller

Funktion	Verwendungszweck	Anzahl
ADC	Temperaturmessung	8
ADC	Spannungsmessung	3
ADC	Gesamt	11
$\Sigma\Delta$ FM	Strommessung	3
CLK	$\Sigma\Delta$ Taktsignal	1
PWM	MOSFET Ansteuerung	12
GPIO	Relaisansteuerung	13
GPIO	Hardware Abschaltung	2
GPIO	Gesamt	15
CAN	Kommunikation	1
SCI	Kommunikation	1
JTAG	Programmierschnittstelle	1

die Zeit zwischen zwei Messungen eines Signals zu minimieren muss daher auf eine gleichmäßige Verteilung der Signale auf die ADCs geachtet werden. Zudem müssen Signale der gleichen Kategorie, z. B. die drei Spannungen, auf unterschiedlichen ADCs liegen damit diese Zeitgleich gemessen werden können.

Die Eingangsdaten des Sigma-Delta Filter Modul ($\Sigma\Delta$ FM) sind Manchestercodiert. Deshalb ist ein Anschluss der $\Sigma\Delta$ FM-CLK Pins nicht notwendig [38, 39]. Das benötigte Taktsignal des $\Sigma\Delta$ -Wandlers wird vom Mikrocontroller erzeugt.

Die PWM-Signale werden in Paare aufgeteilt. Ein Paar bilden dabei immer das High-Side und das Low-Side Signal einer MOSFET Halbbrücke. Dadurch ist eine hardwareseitige Verriegelung der Signale gegeneinander im Mikrocontroller ebenso möglich wie eine einfache Einstellung der Schaltzeit [39].

Zur Kommunikation nach außen ist auf der Platine eine CAN-Bus (CAN, engl. controller area network) und eine Universal Serial Bus (USB, engl. Universal serial bus) Schnittstelle vorhanden. Zur Programmierung und zum Debuggen des Controllers ist zusätzlich eine JTAG (JTAG, engl. Joint Test Action Group) Schnittstelle integriert. Diese Schnittstellen werden jeweils auf entsprechende Module des Mikrocontrollers geführt. Da der Mikrocontroller über kein integriertes USB-Modul verfügt, wird eine serielle Schnittstelle (SCI, engl. Serial Communication Interface) verwendet und das Signal mit dem IC FT232RL in ein USB Signal umgewandelt. Die Module des Mikrocontrollers ermöglichen einen asynchronen Betrieb der Schnittstellen und reduzieren den Programmieraufwand [39]. Die Kommunikationsschnittstellen werden auf der Platine galvanisch von den Verbindungsleitungen entkoppelt.

Nachdem allen Funktionsmodulen Pins zugeordnet sind, werden die noch freien Pins als Allzweckein- und -ausgabe (GPIO, engl. General Purpose Input Output) Pins verwendet. Zuerst werden die erforderlichen Funktionen, wie z. B. die Signale zur Relaisansteuerung, belegt, danach die noch übrigen Pins für zusätzliche Funktionen, wie z. B. StatusLEDs, verwendet.

4.2.6 Strommessung

Zur Berechnung der Eingangs- und Ausgangsleistung des Wandlers werden die Ströme der drei DC-Anschlüsse gemessen. Die Messung der Ströme erfolgt durch Shunts. Über diesen Widerständen fällt eine Spannung U_{Shunt} ab. Mit dem Ohm'schen Gesetz nach Gleichung (4.1) kann aus dieser messtechnisch erfassten Spannung und dem bekannten Widerstandswert des Shunts R_{Shunt} der Strom berechnet werden. Die Spannung über dem Shunt kann auf zwei unterschiedliche Arten ausgewertet werden, als analoges und als $\Sigma\Delta$ -moduliertes Signal.

Für Messungen mit dem Mikrocontroller wird das Messsignal $\Sigma\Delta$ -moduliert. Dazu wird der IC AMC1306E05 verwendet. Dieser wandelt das analoge Messsignal in ein hochfrequentes 1 bit Digitalsignal um. Dieses Digitalsignal wird vom Mikrocontroller ausgewertet und gefiltert, um den Strom zu berechnen. Die Strommessung mit dem $\Sigma\Delta$ -Wandler erfolgt auf dem DC+ Potential. Das Digitalsignal wird auf dem Potential der Elektronikbauteile ausgegeben, die benötigte galvanische Trennung erfolgt bereits im WandlerIC.

Das Messsignal kann alternativ auch als analoges, isoliertes Signal an der Platine abgegriffen werden, vgl. Kapitel 4.2.9. Dazu wird die Spannung U_{Shunt} mit einer Operationsverstärkerschaltung verstärkt um den gesamten Messbereich von 3,3 V auszunutzen. Dabei muss beachtet werden das die Spannung U_{Shunt} abhängig von der Leistungsflussrichtung des Anschlusses positiv oder negativ sein kann. Da das analoge Ausgangssignal nur positive Spannungen übertragen kann, wird die Spannung U_{Shunt} durch einen Offset verschoben. Dadurch wird, auch bei einer negativen Spannung U_{Shunt} , die Spannung des Ausgangssignals immer positiv. Ein Messsignal von 1,64 V am analogen Ausgang entspricht dadurch einem Strom von 0 A, ein Messsignal kleiner als 1,64 V einem Stromfluss aus dem Wandler und ein Signal größer als 1,64 V einem Stromfluss in den Wandler.

4.2.7 Spannungsmessung

Die Spannungen der drei DC-Anschlüsse werden als Regelungsgröße und zur Berechnung der Eingangs- bzw. Ausgangsleistung des Wandlers verwendet. Daher wird die Spannung auf der Platine messtechnisch erfasst.

Zur Messung der DC-Spannungen werden interne ADCs des Mikrocontrollers verwendet. Die maximale Eingangsspannung der ADCs ist 3,3 V. Deshalb muss das Spannungssignal vor dem Anschluss an den ADC auf den zulässigen Eingangsspannungsbereich angepasst werden. Dazu wird ein Operationsverstärker in der Schaltung als Differenzenverstärker verwendet, siehe Abbildung 4.10. Die Eingangswiderstände des Differenzenverstärkers werden zu $R_1 = R_3 = 10 \text{ M}\Omega$ gewählt. Durch die Verwendung hochohmiger Widerstände wird die gemessene Spannung von der Messelektronik entkoppelt. Um eine ausreichend hohe Spannungsfestigkeit zu erhalten werden die $10 \text{ M}\Omega$ Widerstände durch eine Reihenschaltung von fünf $2 \text{ M}\Omega$ Widerständen in der Schaltung realisiert.

Die Verstärkerschaltung wird getrennt für die beiden WI-Anschlüsse und den Akkuanschluss ausgelegt. Die maximale zulässige Eingangsspannung an den beiden WI-Anschlüssen beträgt 1000 V. Bei der Auslegung der Messschaltung wird eine Sicherheitsreserve von 10 % einkalkuliert. Unter der zusätzlichen Voraussetzung $R_2 = R_4$

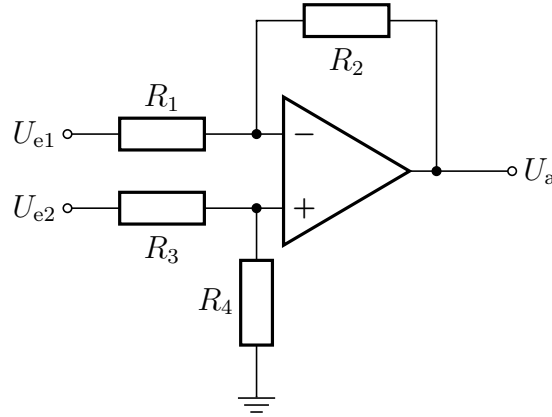


Abbildung 4.10: Operationsverstärker in Differenzenverstärkerschaltung

gilt für den Differenzenverstärker

$$U_a = \frac{R_2}{R_1} \cdot (U_{e2} - U_{e1}) \quad (4.3)$$

[40]. Mit

$$\begin{aligned} U_a &= 3,3 \text{ V} \\ U_{e2} - U_{e1} &= 1100 \text{ V} \\ R_1 &= 10 \text{ M}\Omega \end{aligned}$$

kann der Widerstand $R_2 = 30 \text{ k}\Omega$ berechnet werden.

Die Auslegung des Widerstands R_2 zur Messung der Spannung am Akkuanschluss erfolgt nach dem gleichen Vorgehen. Der Widerstand wird dabei zu $R_2 = 300 \text{ k}\Omega$ berechnet.

Das Ausgangssignal des Differenzenverstärkers kann mit einem ADC des Mikrocontrollers gemessen werden oder als analoges, isoliertes Signal an der Platine für externe Messungen abgegriffen werden, vgl. Kapitel 4.2.9.

4.2.8 Temperaturmessung

Zum thermischen Schutz der Bauteile werden die Temperaturen in den Leistungshalbleitern und dem Transformator überwacht. Dazu wird die Temperatur jedes MOSFET Halbbrückenmoduls mit einem Heißleiter (NTC, engl. negative temperature coefficient thermistor) und die Temperatur des Transformators mit zwei Thermoelementen gemessen.

NTC Messwiderstände werden als Temperatursensoren zur Messung der Temperatur der Leistungshalbleiter verwendet. Durch den negativen Temperaturkoeffizienten sinkt der ohm'sche Widerstand eines NTC bei steigender Temperatur [41, 42]. In jedem MOSFET Halbbrückenmodul ist bereits ein NTC integriert. Die Kennlinie des integrierten NTC ist in Abbildung 4.11 dargestellt und kann durch den Zusammenhang

$$R_{\text{NTC}} = R_{25} \cdot \exp \left(B_{25/100} \cdot \left(\frac{1}{T_{\text{NTC}} + 273,15 \text{ K}} - \frac{1}{T_{25} + 273,15 \text{ K}} \right) \right) \quad (4.4)$$

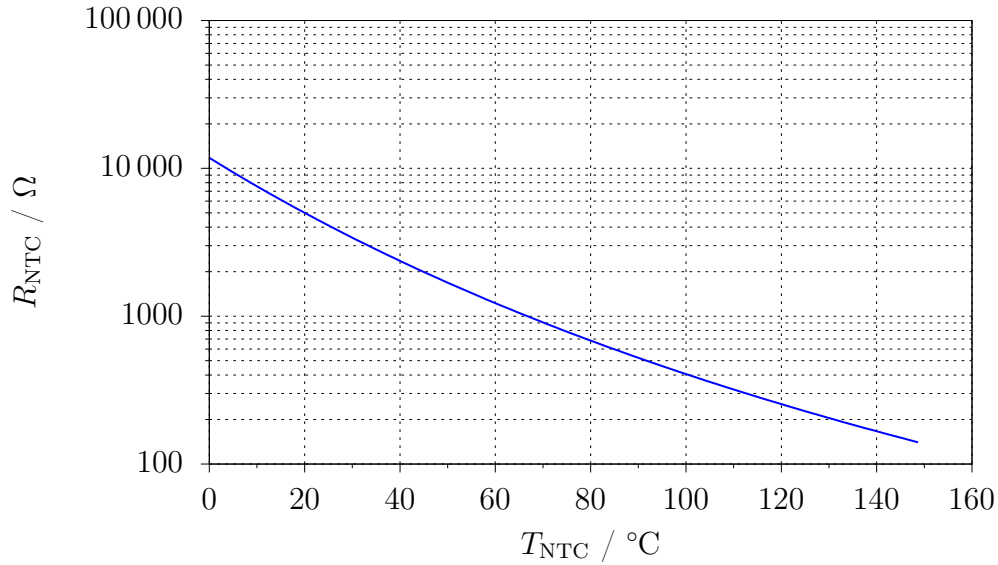


Abbildung 4.11: Widerstandskennlinie eines NTC

mit

$$\begin{aligned} R_{25} &= 5 \text{ k}\Omega \\ B_{25/100} &= 3433 \text{ K} \end{aligned}$$

[27, 30] dargestellt werden.

Als Messschaltung wird eine Widerstandsmessbrücke verwendet. Diese besteht aus den zwei Spannungsteilern R_1 , R_3 und R_2 , R_4 , siehe Abbildung 4.12. Das Teilverhältnis des rechten Spannungsteilers aus den Widerständen R_2 und R_4 ist konstant. Der linke Spannungsteiler aus den Widerständen R_1 und R_3 hat dagegen ein temperaturabhängiges Spannungsteilverhältnis, da der Widerstand R_3 temperaturabhängig ist. Als Ausgangsgröße dieser Messschaltung dient die Spannung $U_{\text{Brücke}}(T_{\text{NTC}})$. Vor der Messung wird diese Spannung zunächst verstärkt und an die zulässige Eingangsspannung des ADC angepasst. Dazu wird ein Differenzenverstärker verwendet, vgl. Abbildung 4.10. Neben dem Verstärkungsfaktor ist bei der Auslegung der Schaltung auf einen hochohmigen Abgriff der Spannung $U_{\text{Brücke}}$ zu achten, um die Messbrücke möglichst wenig zu belasten. Das aufbereitete Signal wird anschließend mit einem ADC gemessen und kann als isolierte, analoge Spannung an der Platine abgegriffen werden, vgl. Kapitel 4.2.9.

Als Temperatursensoren zur Messung der Temperatur des Transformators werden zwei Thermoelemente verwendet. Diese beiden Thermoelemente vom Typ J sind auf dem Kern des Transformators angebracht [43]. Durch die Verbindung zweier unterschiedlicher Metalle, Fe–CuNi bei einem Thermoelement vom Typ J, entsteht eine Potentialdifferenz. Diese Thermospannung ist sehr klein und temperaturabhängig [42].

Zur Auswertung des Spannungssignals des Thermoelementes wird der IC AD8494 verwendet. Dieser besteht aus einer Temperaturreferenz und einer Verstärkerschaltung mit integrierter Korrektur der Nichtlinearität der Kennlinie des Thermoelements. Die Ausgangsspannung des AD8494 beträgt $5 \text{ mV}/^\circ\text{C}$ [44]. Um bei der maximal zulässigen Temperatur des Transformators von 130°C [43] den Eingangsspan-

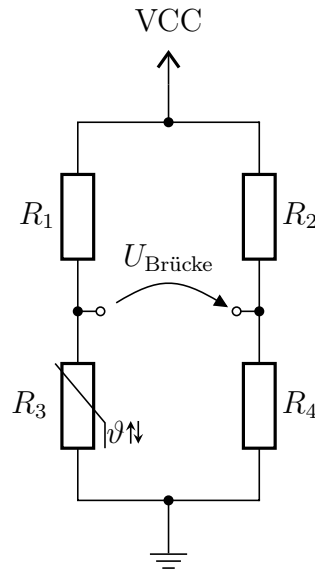


Abbildung 4.12: Widerstandsmessbrücke

nungsbereich des ADC optimal auszunutzen, wird das Ausgangssignal des AD8494 in einer Operationsverstärkerschaltung abermals verstärkt. Bei der Auslegung des Verstärkers wird eine Temperaturreserve von 35 °C berücksichtigt. Anschließend wird das aufbereitete und verstärkte Signal von einem ADC gemessen und kann als isolierte, analoge Spannung an der Platine abgegriffen werden, vgl. Kapitel 4.2.9.

4.2.9 Externe Messungen

Die Spannungs-, Strom- und Temperaturmessungen des DC/DC-Wandlers können als analoges Signal für externe Messungen an der Platine abgegriffen werden. Diese analogen Signale sind gegen die Betriebsspannung der Platine isoliert, vgl. Kapitel 4.2.4.

Das analoge Signal wird mit einem linearen Optokoppler übertragen. Die Abbildung 4.13 zeigt einen Schaltplanausschnitt mit dem Optokoppler und dessen Beschaltung. Als linearer Optokoppler wird der IC HCNR201 verwendet. Dieser besteht aus einer LED und zwei Photodioden. Die beiden Photodioden werden als lichtabhängige Stromquellen verwendet, deren Photoströme eng aufeinander abgeglichen sind. Über den in Reihe geschalteten Widerständen R_{13} und R_{15} fällt entsprechend dem Ohm'schen Gesetz nach Gleichung (4.1) durch den Photostrom eine Spannung ab. Diese Spannung ist über den Photostrom abhängig von der Helligkeit der LED. Die Helligkeit der LED wird von einem Operationsverstärker geregelt. Dazu wird die Spannung über dem Widerstand R_{15} gegen das zu übertragende analoge Signal rückgekoppelt. Der Operationsverstärker regelt dabei die Spannungsabweichung der beiden Signale aus.

Durch die abgeglichen Photoströme fällt über dem Widerstand auf der Primärseite R_{15} und dem Widerstand auf der Sekundärseite R_{13} des Optokopplers die gleiche Spannung ab. Dieses Spannungssignal entspricht dem zu übertragenden analogen Signal auf der Primärseite des Optokopplers. Da der Photostrom sehr gering ist, führt eine Belastung der Ausgangsspannung mit einigen μA bereits zu einem signifikanten

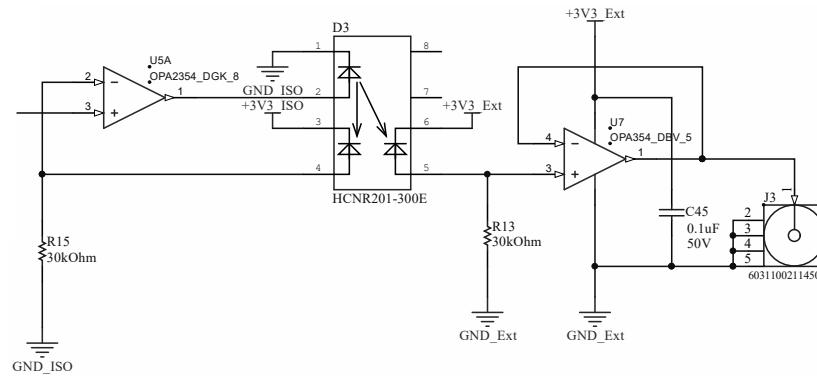


Abbildung 4.13: Beschaltung linearer Optokoppler

Spannungseinbruch, der die Messung verfälscht. Zur Reduzierung des Innenwiderstands des sekundärseitigen analogen Signals wird daher ein Operationsverstärker in Spannungsfolgerschaltung verwendet. Das verstärkte Signal kann an einer SMA-Buchse an der Platine abgegriffen werden.

4.3 Erstellung des Platinenlayouts

Nachdem der Schaltplan des DC/DC-Wandlers erstellt wurde, wird das Platinendesign der Schaltung entworfen. Der DC/DC-Wandler besteht dabei aus drei unterschiedlichen Platinen: der Hauptplatine des Wandlers, der Gatetreiberplatine für die LeistungsmosFETs des Akkuanschlusses und der Gatetreiberplatine für die LeistungsmosFETs der WI-Anschlüsse. Jede Gatetreiberplatine besteht aus zwei Gatetreiberschaltungen für eine MOSFET Halbbrücke. Die Gatetreiberplatine für den Akkuanschluss wird dadurch insgesamt zwei Mal benötigt, die Gatetreiberplatine für die WI-Anschlüsse vier Mal. Damit besteht der vollständige Aufbau des DC/DC-Wandlers aus insgesamt sieben Einzelplatinen. Die Gatetreiberplatinen werden durch Steckverbinder mit der Hauptplatine verbunden und sitzen direkt über den MOSFETmodulen.

Die Anordnung der Bauteile in den Funktionsgruppen und die der Funktionsgruppen auf den Platinen sind ein iterativer Prozess. Dabei müssen u. a. die Anforderungen an die Platinengröße, des Routings und die Entwurfsregeln beachtet werden. Deshalb wird in diesem Kapitel nur das Endergebnis dargestellt.

4.3.1 Funktionsgruppenanordnung

Die Anordnung der Funktionsgruppen der Hauptplatine des DC/DC-Wandlers ist in den Abbildungen 4.14 und 4.15 dargestellt. Abbildung 4.14 zeigt ein Bild der Oberseite der Platine, Abbildung 4.15 der Unterseite. Einige der Funktionsgruppen erstrecken sich über beide Platinenseiten, um die Abstände der Bauteile in einer Funktionsgruppe zu minimieren.

Im oberen Drittel der Platine sind die Funktionsgruppen für die Steuerung des DC/DC-Wandlers angebracht, in den unteren zwei Dritteln die Leistungspfade und die Funktionsgruppen für die Messungen. Bei den drei Leistungspfaden befinden sich die DC-Anschlüsse jeweils auf der linken Seite, die LeistungsmosFETs in der

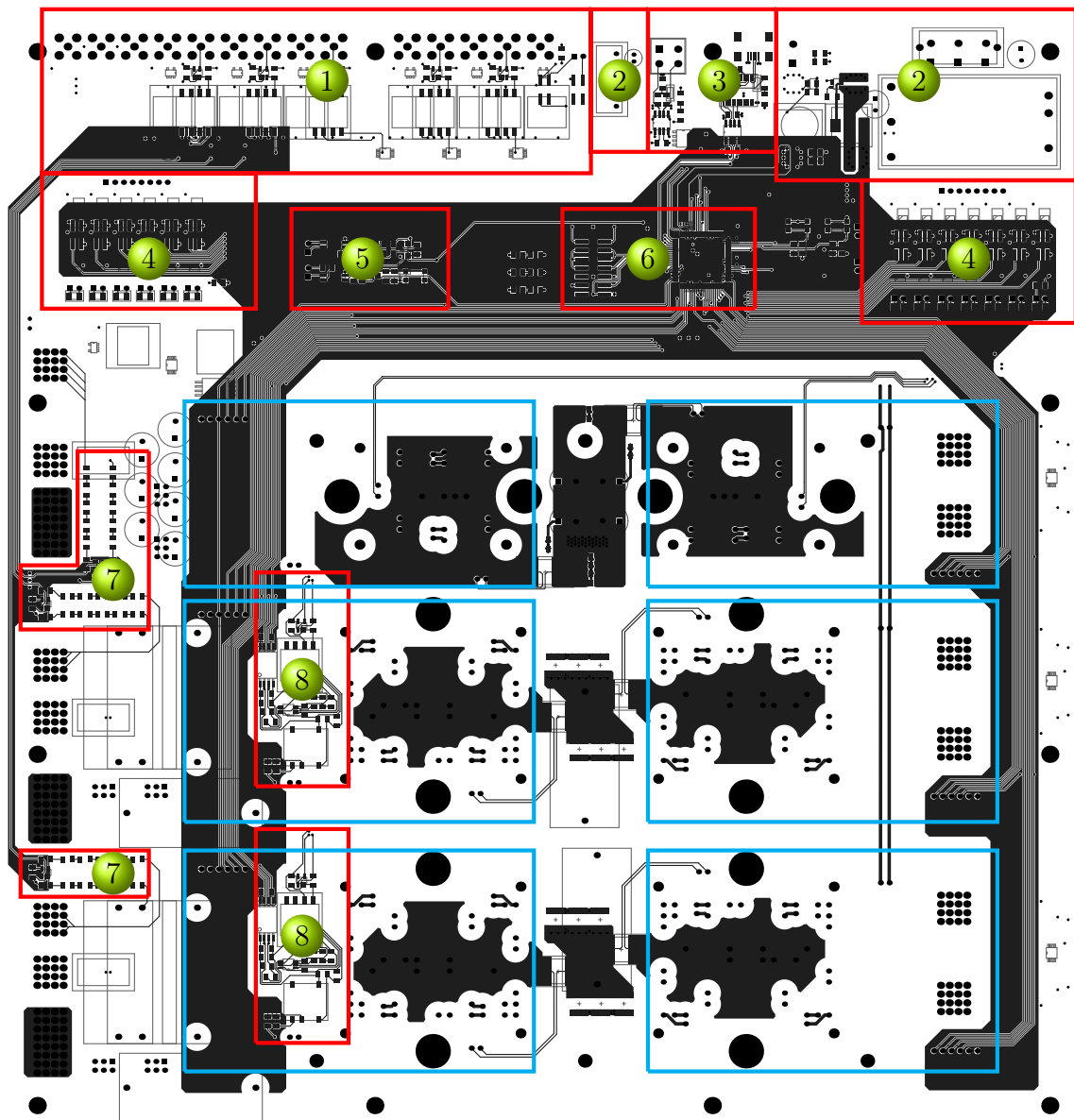


Abbildung 4.14: Anordnung der Funktionsgruppen der Hauptplatine auf der Oberseite mit

- (1) Externe Messung
- (2) Betriebsspannungsversorgung
- (3) Kommunikation
- (4) Relaisansteuerung
- (5) Hardware Enable
- (6) Mikrocontroller
- (7) Spannungsmessung
- (8) Strommessung
- Position der Gatetreiberplatten

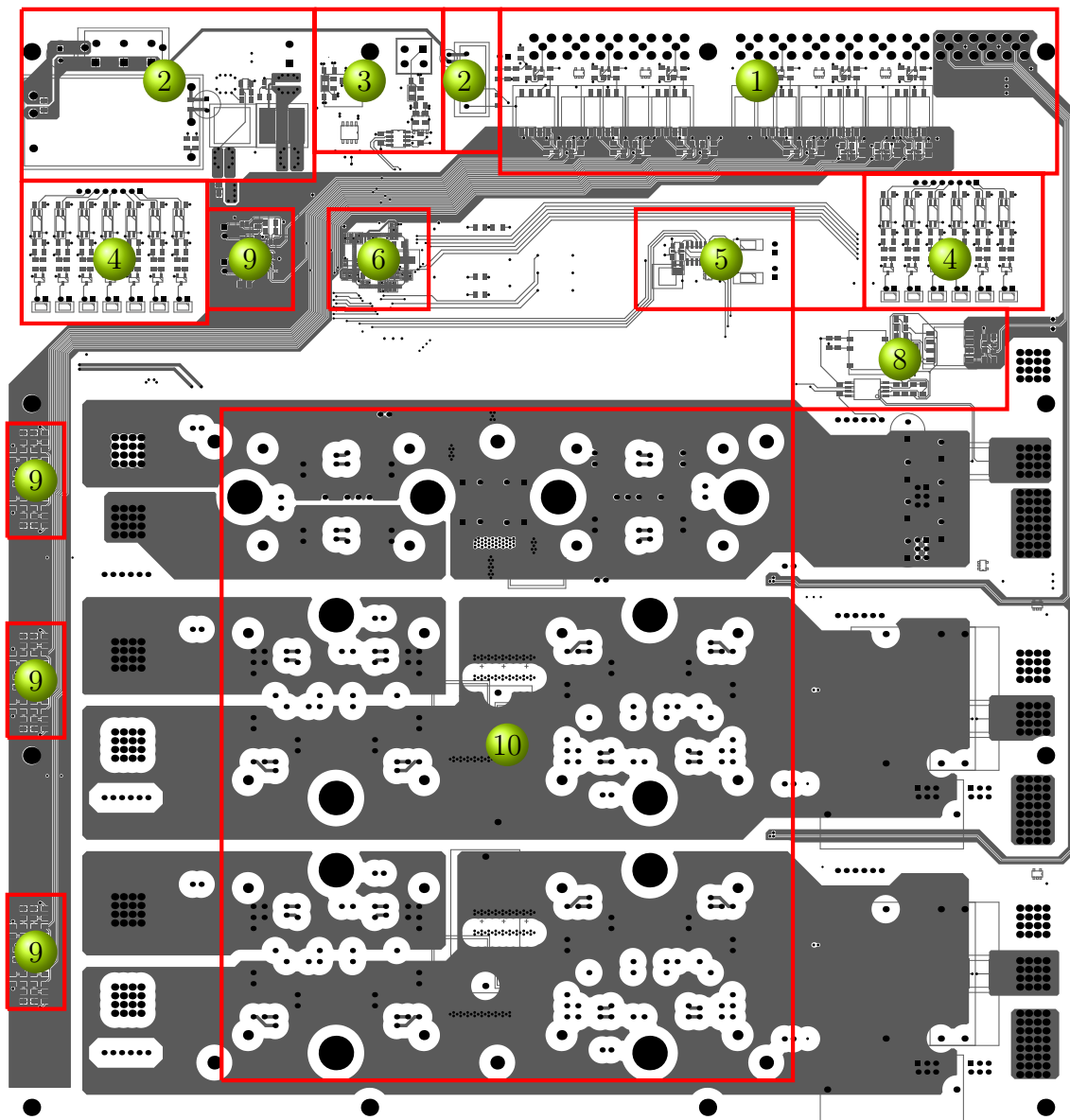


Abbildung 4.15: Anordnung der Funktionsgruppen der Hauptplatine auf der Unterseite mit

- (1) Externe Messung
- (2) Betriebsspannungsversorgung
- (3) Kommunikation
- (4) Relaisansteuerung
- (5) Hardware Enable
- (6) Mikrocontroller
- (8) Strommessung
- (9) Temperaturmessung
- (10) Leistungsmosfets

Mitte und die AC-Anschlüsse des Transformators auf der rechten Seite. Dabei ist zu beachten, dass die Gatetreiberplatinen direkt über den MOSFETmodulen sitzen. Um einen ausreichend hohen Isolationsabstand zu den Gatetreiberplatinen einzuhalten, dürfen in diesem Bereich keine Bauteile mit mehr als 8 mm Höhe angebracht werden. Auf der Unterseite der Platine ragt der Kühler zu allen Seiten über die MOSFETmodule hinaus. Deshalb muss auch in diesem Bereich um die Module auf die maximale Bauteilhöhe geachtet werden.

Abbildung 4.16 zeigt die Anordnung der Funktionsgruppen auf den Oberseiten der beiden Gatetreiberplatinen. Im Teil 4.16a ist die Gatetreiberplatine für die WI-Anschlüsse dargestellt, in Teil 4.16b die Gatetreiberplatine für den Akkuanschluss. Die Gatetreiberplatinen sind nur einseitig bestückt. Auf der Unterseite der Gatetreiberplatinen befinden sich nur die Steckverbinder zum Anschluss an die Hauptplatine.

Linksseitig befinden sich auf beiden Gatetreiberplatinen die LWL-Empfänger und die Jumper zur Auswahl des Taktsignales. Rechts daran schließen sich die beiden Spannungsversorgungen für die Gatetreiber an. Die beiden Gatetreiberschaltungen befinden sich rechts der Mitte. Am unteren Ende der Platine befindet sich die Funktionsgruppe zur Kurzschlusserkennung. Die Niederspannungsseite der Gatetreiber und die Schaltung zur Erzeugung der Treiber \overline{EN} -Signale befindet sich am rechten Rand der Platinen.

4.3.2 Routen

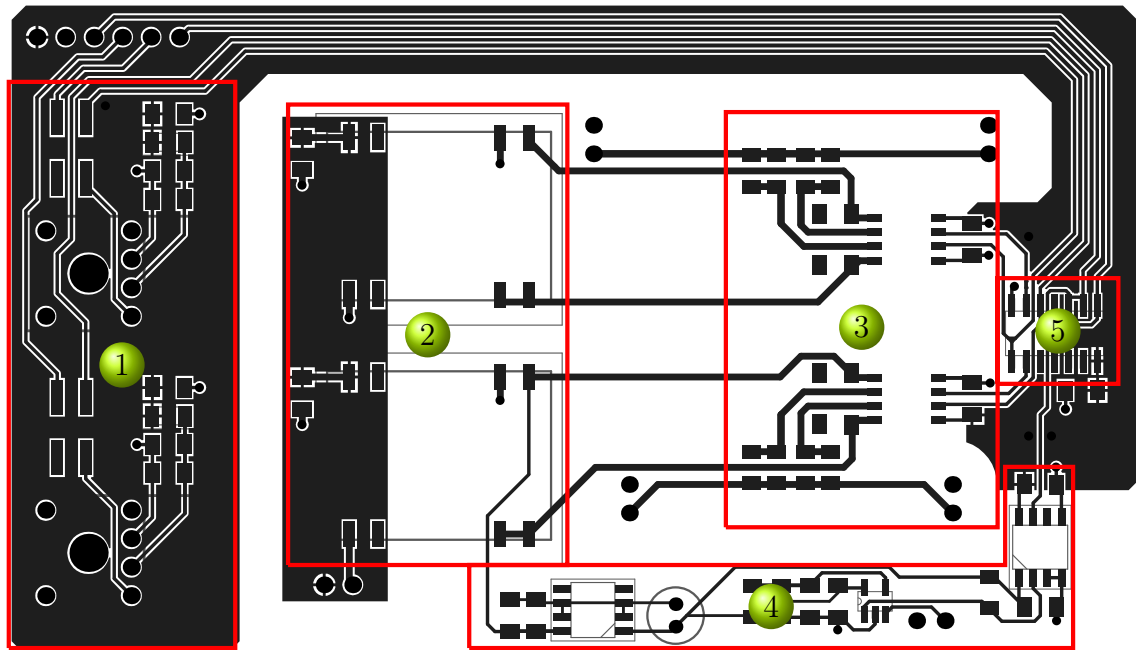
Die elektrischen Verbindungen im Schaltplan werden durch Kupferbahnen auf der Platine realisiert. Das Design dieser Kupferbahnen wird als routen bezeichnet. Auf einer Platine können diese Leiterbahnen in mehreren Lagen, auch Layer genannt, übereinander angebracht werden. Zwischen diesen Layern befindet sich eine Isolationschicht.

Die Hauptplatine besitzt vier Lagen mit einer Kupferdicke von jeweils $70\text{ }\mu\text{m}$, die beiden Gatetreiberplatinen bestehen aus zwei Layern mit $35\text{ }\mu\text{m}$ Kupferstärke. Eine vollständige Darstellung aller Layer befindet sich im Anhang B.

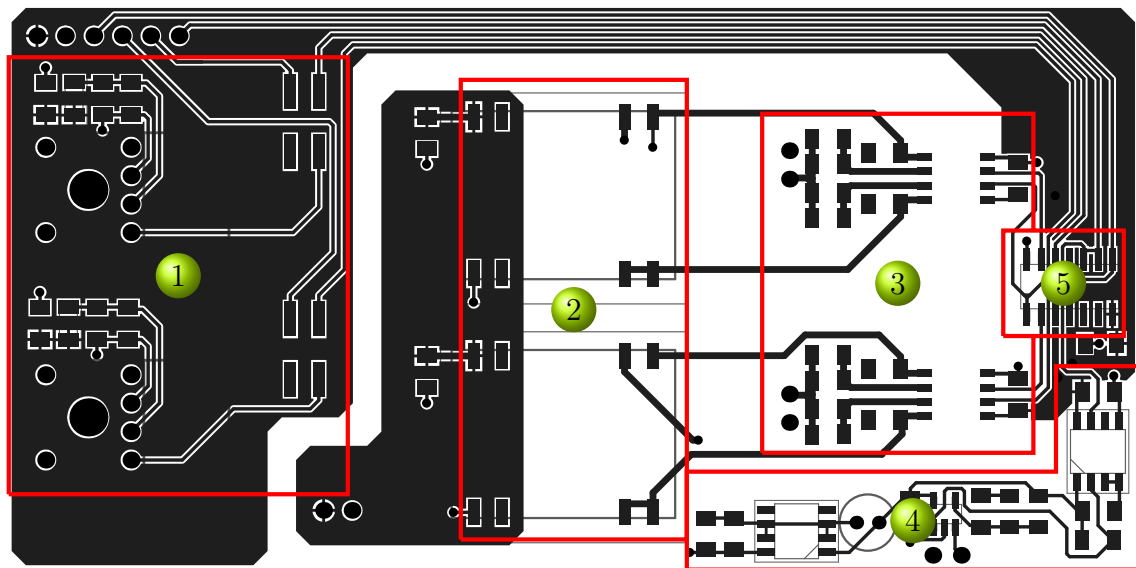
Vor dem Routen der Platine müssen die Entwurfsregeln festgelegt werden. Diese Regeln müssen beim Anordnen der Bauteile und der Leiterbahnen beachtet werden. Die Entwurfsregeln enthalten z. B. die minimale Leiterbahnbreite, die minimalen Leiterbahnabstände usw. die vom Produzenten der Platine vorgegeben werden, sowie weitere Anforderungen wie z. B. Isolationsabstände und Bauteilabstände. Die Überwachung der Einhaltung dieser Regeln erfolgt programmatisch durch eine Entwurfsregelprüfung (DRC, engl. Design Rule Check).

Neben den festgelegten Entwurfsregeln werden weitere Anforderungen beim Design der Platine beachtet. Dabei ist u. a. auf einen möglichst EMV gerechten Aufbau der Schaltung zu achten. Dazu müssen die Auswirkungen parasitärer Effekte auf der Platine berücksichtigt werden. Kurze Leiterbahnlängen, die Vermeidung mit Leiterbahnschleifen aufgespannter Flächen und eine Trennung von empfindlichen Teilschaltungen gegen potentielle Störquellen minimieren schädliche Einflüsse.

Auf das Layout im Leistungsteil wird dabei ein besonderes Augenmerk gelegt. Durch hohe Spannungen mit gleichzeitig hohen Strömen, die hochfrequent getaktet werden, besteht von diesen Stromkreisen ein hohes Störpotential. Ein niederinduktiver Anschluss der Zwischenkreiskondensatoren an die LeistungsMOSFETs ist dabei



(a)



(b)

Abbildung 4.16: Anordnung der Funktionsgruppen auf den Gatetreiberplatten für den

(a) WI-Anschluss

(b) Akkuanschluss

mit

(1) LWL Empfänger

(2) Spannungsversorgung

(3) Gatetreiber

(4) Kurzschlusserkennung

(5) Treiber EN-Signale

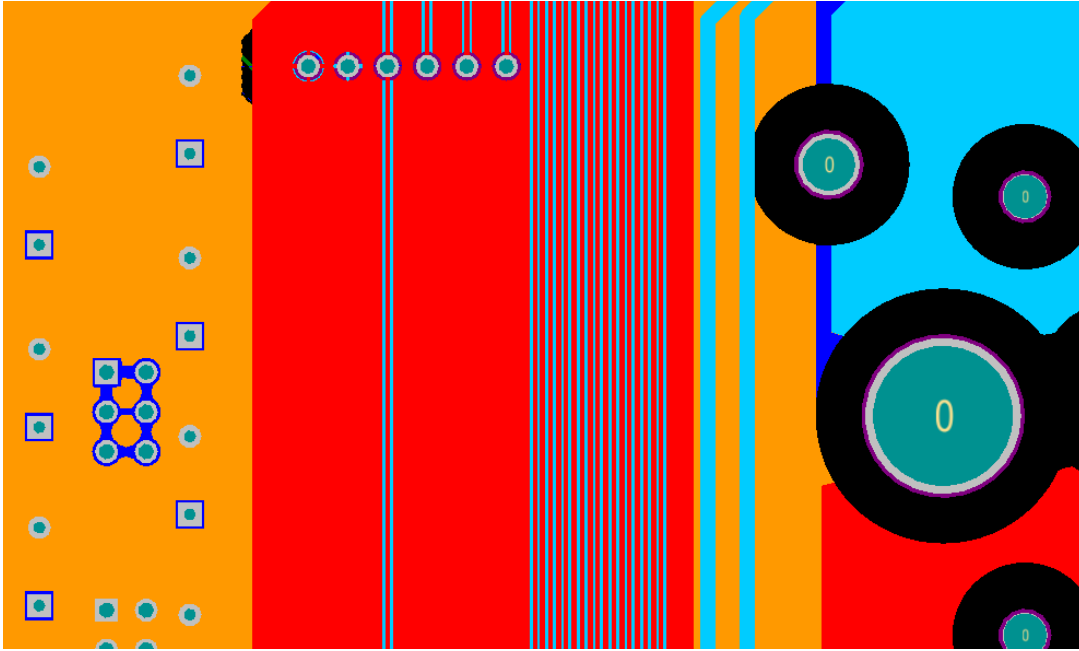


Abbildung 4.17: Kreuzung der Gatetreibersignale mit den DC-Anschlüssen

- Oberseite
- 1. Zwischenlayer
- 2. Zwischenlayer
- Unterseite

zur Begrenzung der Schaltüberspannungen notwendig. Dies schützt einerseits den MOSFET selbst, reduziert jedoch auch die Störungen auf benachbarte Bauteile.

Empfindliche Signale, die nicht von Störquellen getrennt werden können, müssen besonders betrachtet werden. Abbildung 4.17 zeigt die Signale für die Gatetreiberplatinen über den Leistungsverbindungen. Darin verläuft der DC-Leistungsstromkreis in den beiden unteren Layern, also dem 2. Zwischenlayer und der Unterseite, von links nach rechts. Auf den oberen beiden Layer, der Oberseite und dem 1. Zwischenlayer, befinden sich 3,3 V und Ground Polygone. Durch das 3,3 V Polygon verlaufen auf der Oberseite die Taktsignale der Gatetreiber und die HwEN-Signale von oben nach unten. Durch die Abschirmung der Signalleitungen durch flächige Groundverbindungen gegen die Störquellen kann die Einkopplung von Störungen reduziert werden. Die rechtwinklige Anordnung der Signalleitungen zu den DC-Verbindungen verhindert zudem eine magnetische Kopplung.

Kapitel 5

Auswertung

Dieses Kapitel beschreibt die praktische Bestückung der Platinen und zeigt die realisierte Hardware. Im Anschluss wird die Inbetriebnahme verschiedener Funktionsgruppen vorgestellt.

5.1 Bestückung der Platinen

Nach der Fertigstellung der Platinenlayouts werden diese durch einen externen Auftragnehmer gefertigt. Die produzierten Platinen werden anschließend eigenhändig entsprechend den erstellten Plänen bestückt. Das Layout sowie die Bauteillisten zur Bestückung der gefertigten Platinen sind im Anhang B und C aufgeführt.

Während des Lötens und bei der anschließenden Sichtkontrolle sind einige Fehler und Verbesserungspotentiale im Schaltplan und im Platinenlayout entdeckt worden. Die Polung der Steckverbinder zur Spannungsversorgung des Wandlers P_2 , P_3 , P_4 , P_5 sowie J_{13} entspricht nicht der aktuellsten Version der hausinternen Richtlinien des DLR-VE. Da es sich bei diesen Verbindern jeweils um zweipolige Ausführungen handelt, können die 12 V-Buchse P_4 , und der 3,3 V Stecker der externen Messsignale J_{13} auf der Platine gedreht werden. Dadurch ist eine Korrektur der Polung bei diesen beiden Steckverbindern möglich.

Die Buchsen der 24 V Eingangsspannung P_2 , P_3 und P_5 können nicht um 180° gedreht montiert werden. Direkt neben diesen Buchsen ist der isolierte Spannungswandler PS_3 angeordnet. Dadurch ist ein Schließen der Verriegelung des Stecksystems bei einer gedrehten Montage nicht mehr möglich. Ohne Verriegelung kann der Stecker nicht fixiert werden und ein sicherer Betrieb ist nicht möglich. Deshalb werden diese Buchsen anstatt auf der Oberseite der Platine auf der Unterseite angebracht. Dort können die Buchsen mit der richtigen Polung angeschlossen werden. Da es sich bei den Steckverbindern um Bauteile zur Durchsteckmontage (THT, engl. through-hole technology) handelt, ist dies problemlos möglich. Die Sicherung F_1 , die eigentlich an dieser Stelle auf der Unterseite der Platine vorgesehen war, wird alternativ auf der Oberseite montiert. Da die Sicherung ebenfalls ein THT Gehäuse besitzt und schmal genug ist um neben den Spannungswandler zu passen, kann diese ohne Schwierigkeiten auf der Oberseite angebracht werden.

Zur einfacheren Nutzung der Steckverbinder kann der Abstand zwischen den Buchsen der Eingangsspannung P_2 , P_3 und P_5 in einer zukünftigen Version zudem vergrößert werden. Das Ein- und Ausstecken des mittleren Steckers kann dadurch vereinfacht werden. Der Abstand der Sicherung F_1 zu den Buchsen kann ebenfalls erhöht werden, damit das Gehäuse der Sicherung nicht mehr auf den Lötstellen der

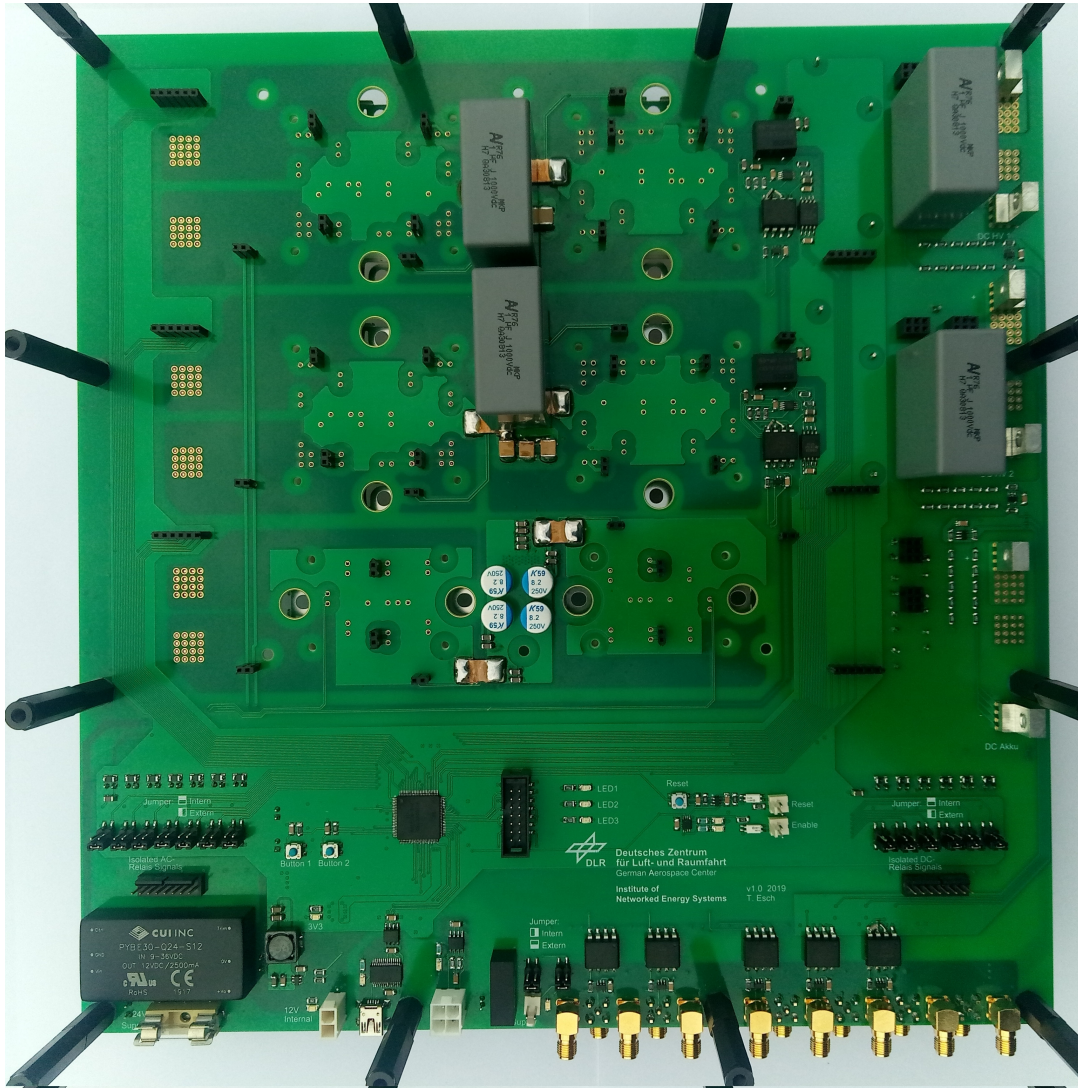


Abbildung 5.1: Oberseite der Hauptplatine

Buchsen aufliegt.

Die Pinbelegung des Gehäuses der CAN-Buchse J_1 stimmt zwischen dem Schaltplan und dem Platinenlayout nicht überein. Der Pin 2 im Schaltplan ist mit dem Pin 3 des Gehäuses verbunden und umgekehrt liegt der Pin 3 im Schaltplan auf dem Pin 2 des Gehäuses. Durch das Verbiegen der Pins kann die Buchse trotzdem richtig montiert werden.

Das Gehäuse des Spannungswandlers zur Versorgung der externen Messungen PS_2 hat im Layout ein Loch mehr als das Gehäuse Pins besitzt. Dieses Loch wird für den verwendeten Spannungswandler nicht benötigt und kann aus den Plänen entfernt werden.

Die Beschriftung der DC-Leistungsanschlüsse auf der Platine ist schlecht sichtbar. Durch eine optimierte Positionierung und die Verwendung größerer Symbole kann die Sichtbarkeit und damit die Bedienerfreundlichkeit erhöht werden.

In Abbildung 5.1 ist die Oberseite der aufgebauten Hauptplatine des Wandlers dargestellt. Die Unterseite der Platine ist in Abbildung 5.2 abgebildet. Die Bilder

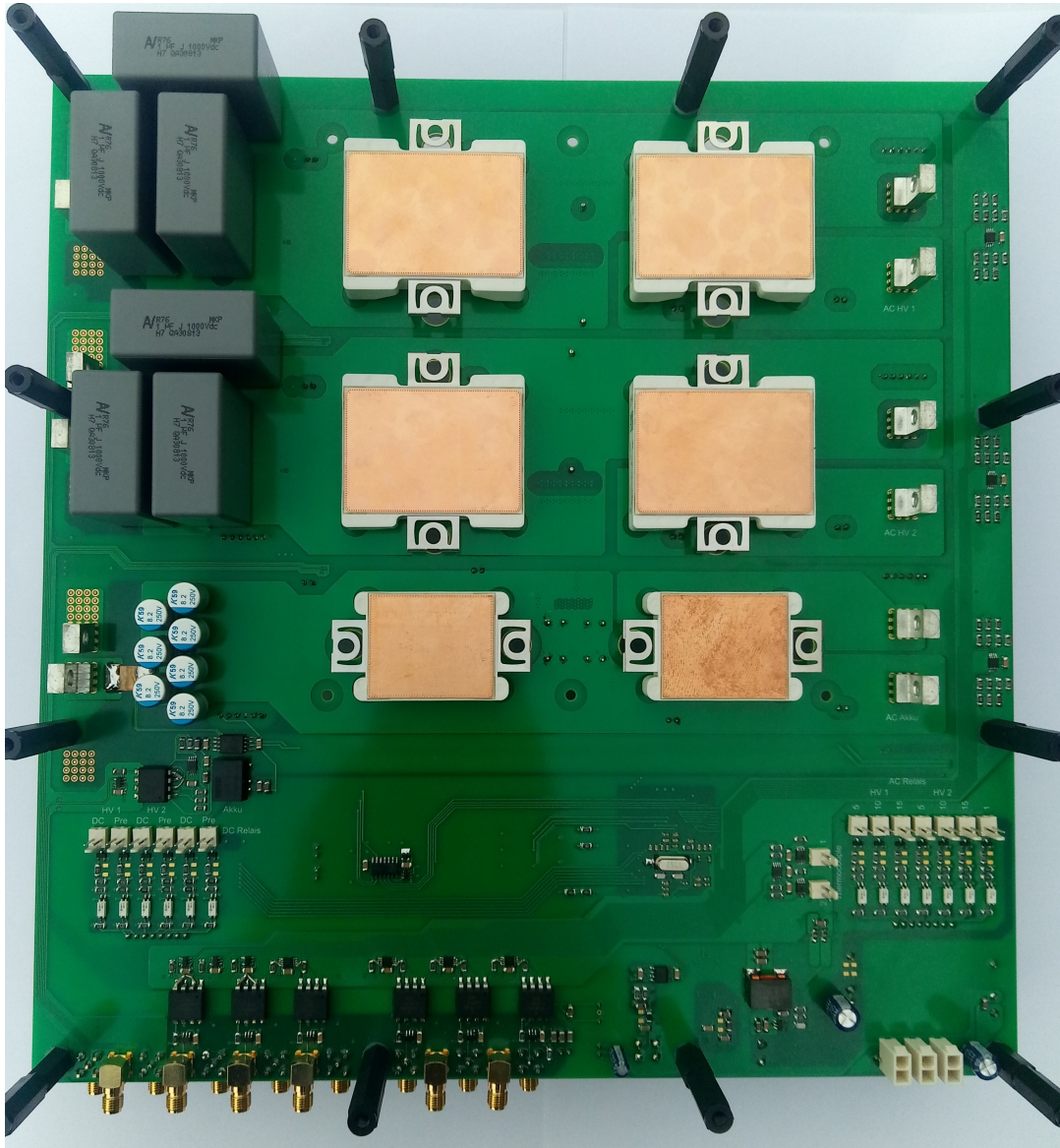


Abbildung 5.2: Unterseite der Hauptplatine

zeigen die fertig bestückte Platine nach der Ausführung aller in diesem Kapitel beschriebenen Korrekturen und vor der Montage des Kühlkörpers. Die aufgebauten Platinen der Gatetreiber sind in den Abbildungen 5.3 und 5.4 für die WI-Anschlüsse und den Akkuanschluss gezeigt.

5.2 Inbetriebnahme

Nach der Bestückung der Platinen und einer Sichtkontrolle werden diese in Betrieb genommen. Die Inbetriebnahme erfolgt einzeln für jede Platine und wird schrittweise durchgeführt.

Zur Inbetriebnahme der Hauptplatine werden zuerst die verschiedenen Versorgungsspannungen nacheinander eingeschaltet. Infolge eines Kurzschlusses durch eine Lötbrücke am IC des Tiefsetzstellers zur Erzeugung der 1,2 V Betriebsspannung des

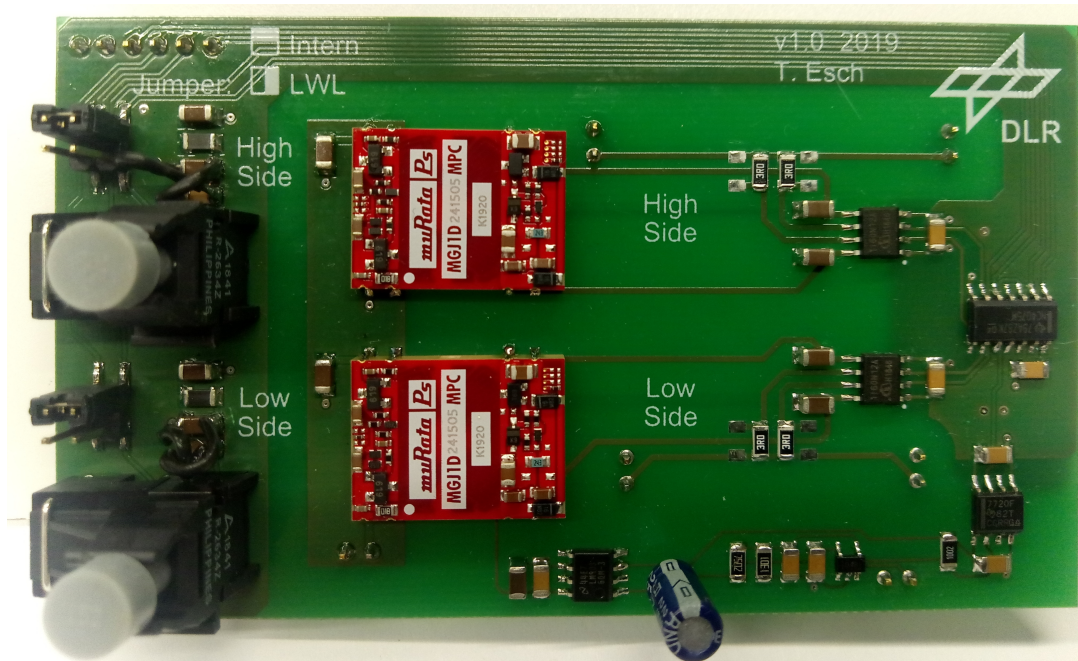


Abbildung 5.3: Gatetreiberplatine für die WI-Anschlüsse

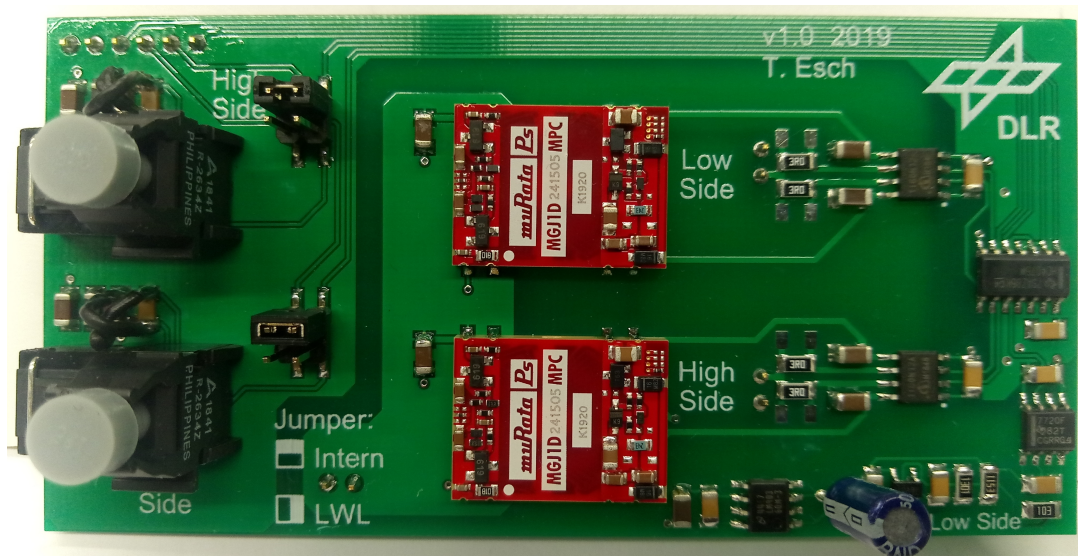


Abbildung 5.4: Gatetreiberplatine für den Akkuanschluss

Mikrocontrollers U_{23} wird dieser zerstört. Nachdem der IC ausgetauscht wurde, stehen alle Betriebsspannungen der Platine bereit. Die Spannungen und Stromaufnahmen der einzelnen Versorgungsbereiche entsprechen dabei den erwarteten Werten.

Nach dem Anlegen der Versorgungsspannungen fällt auf, dass die StatusLEDs zur Anzeige der vorhandenen Spannungen sehr hell leuchten. Deshalb werden im folgenden die Vorwiderstände der LEDs erhöht.

Auf der spannungsversorgten Platine wird anschließend die Funktion einzelner Funktionsgruppen getestet. Das HwEN-Signal zum Sperren der PWM-Signal steht nach dem Einschalten der Spannung im Aus-Zustand. Durch den RESET-Button S_1 kann der Betriebszustand in den Ein-Zustand umgeschaltet werden. Nachfolgend wird ein Kurzschlussignal an die Platinensteckverbinder jeder Gatetreiberplatine angelegt. Dabei schaltet das HwEN-Signal bei jedem Kurzschlussignal in den Aus-Zustand. Während ein Kurzschlussignal anliegt, ist ein Aktivieren des HwEN-Signals nicht möglich. An den Steckverbinder J_4 und J_5 kann der Signalzustand isoliert abgegriffen bzw. ein isoliertes RESET-Signal gesendet werden.

Durch isolierte Signale an den Klemmen J_7 bzw. J_{18} können die entsprechenden Relais geschaltet werden. Wird die Signalquelle getrennt oder der Jumper zur Auswahl der Signalquelle J_8 eines Relais geöffnet, schaltet das entsprechende Relais ab.

Das Übertragungsverhalten der linearen Optokoppler zur isolierten, analogen Messung wird mit einem Oszilloskop und einem Testsignal gemessen. Dabei wird das übertragene analoge Messsignal durch eine hochfrequente Schwingung überlagert. Diese Schwingung entsteht auf der Primärseite des linearen Optokopplers durch die nicht ideale Rückkopplung des Ausgangssignals am Operationsverstärker. Durch einen Kondensator zwischen dem Ausgang des primärseitigen Operationsverstärkers und der Rückkopplung an dessen negativem Eingangspin kann die Schwingung unterdrückt werden. Deshalb wird ein Kondensator von 10 pF in den Rückkopplungspfad aller linearen Optokoppler eingefügt.

Abbildung 5.5 zeigt das analoge Messsignal eines NTC und die Spannung $U_{\text{Brücke}}$ der Widerstandsmessbrücke. Die Spannung über den NTC dient dabei als Testsignal und wird durch einen Funktionsgenerator erzeugt. Das Testsignal hat eine Anstiegsgeschwindigkeit von $50 \text{ mV } \mu\text{s}^{-1}$. Die Verstärkung des Spannungssignals über dem NTC setzt sich aus den drei Stufen der Widerstandsmessbrücke, dem Differenzverstärker und dem linearen Optokoppler zusammen. Aus diesen drei Einzelverstärkungen ergibt sich für das isolierte Ausgangssignal ein ideales Gesamtübertragungsverhalten von $U_{\text{NTC,Ext}} = 1,2 \cdot U_{\text{Brücke}}$.

Die reale Verstärkung der Spannung $U_{\text{Brücke}}$ liegt bei der vorgegebenen Änderungsgeschwindigkeit nahe dem berechneten Sollwert. Steigt das analoge Ausgangssignal über ca. 2,7 V, tritt ein zunehmend starkes Rauschen auf, sodass die Messgenauigkeit beeinträchtigt wird.

Alle sechs Gatetreiberplatinen werden einzeln in Betrieb genommen. Die vier Platinen für die WI-Anschlüsse und die zwei Platinen des Akkuanschlusses besitzen zwar ein unterschiedliches Layout, aber einen fast identischen Schaltplan. Deshalb werden alle sechs Gatetreiberplatinen einzeln nach dem gleichen Ablauf in Betrieb genommen.

Zur Inbetriebnahme einer Gatetreiberplatine werden zuerst die verschiedenen Versorgungsspannungen an die Platine angelegt. Die 24 V Versorgungsspannung funktioniert bei allen Platinen. Die Spannungswandler zur Erzeugung der isolierten Gate-

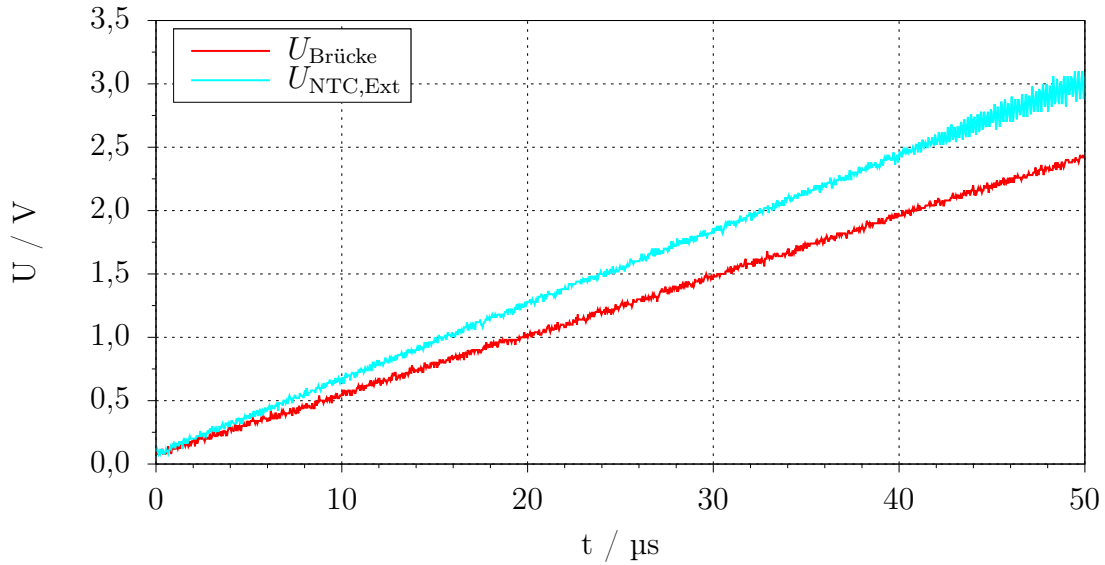


Abbildung 5.5: Analoges Ausgangssignal einer NTC Temperaturmessung

treiberspannungen stellen auf allen sechs Platinen die beiden benötigten $+15\text{ V}/-5\text{ V}$ Spannungen zur Verfügung.

Beim Anlegen der $3,3\text{ V}$ Versorgungsspannung bricht die Spannung bei allen Platinen sofort auf ca. 2 V ein und es fließt ein hoher Strom. Da der Fehler auf allen Gatetreiberplatinen auftritt, wird die Fehlerursache im Schaltplan vermutet. Der hohe Strom wird durch eine Verpolung der Betriebsspannung des LWL-Empfängers verursacht. Zur Korrektur des Fehlers werden die Leiterbahnen zwischen den Kondensatoren C_{95} und C_{96} sowie die Verbindung zum GND-Polygon auf den Platinen aufgetrennt. Mit Drahtbrücken wird eine Verbindung mit richtiger Polung zwischen den beiden Kondensatoren hergestellt. Nachdem die Polung der LWL-Empfänger korrigiert wurde, liegt der Eingangsstrom der $3,3\text{ V}$ Betriebsspannung im erwarteten Bereich.

Auf den spannungsversorgten Gatetreiberplatinen werden anschließend einzelne Funktionsgruppen in Betrieb genommen und getestet. In einem ersten Schritt werden die LWL-Empfänger in Betrieb genommen. Durch einen Lichtwellenleiter wird ein PWM-Signal an die Empfänger angelegt. Das Ausgangssignal der LWL-Empfänger wird mit einem Oszilloskop gemessen. Dabei entspricht das gemessene Signal dem Testsignal der LWL-Sender.

Mit dem Jumper J_{14} wird das empfangene PWM-Signal auf die Gatetreiber durchgeschaltet. Abbildung 5.6 zeigt das Ausgangssignal der beiden Gatetreiber im unbelasteten Fall. Dabei sind in rot und grün die Gatespannungen der High-Side und der Low-Side LeistungsmosFETs dargestellt. Die PWM-Testsignale mit einer Frequenz von 100 kHz und einer Pulsweite von 48% sind für den High-Side Treiber in blau und für den Low-Side Treiber in orange aufgetragen. Die Gatespannungen folgen den angelegten PWM-Signalen. Damit ist die Funktion der Signallaufkette inklusive der Gatetreiber gezeigt.

In der Abbildung 5.7 ist der Schaltvorgang der Gatetreiber vergrößert dargestellt. Dabei wird ersichtlich, dass die Spannung am Gate der LeistungsmosFETs dem

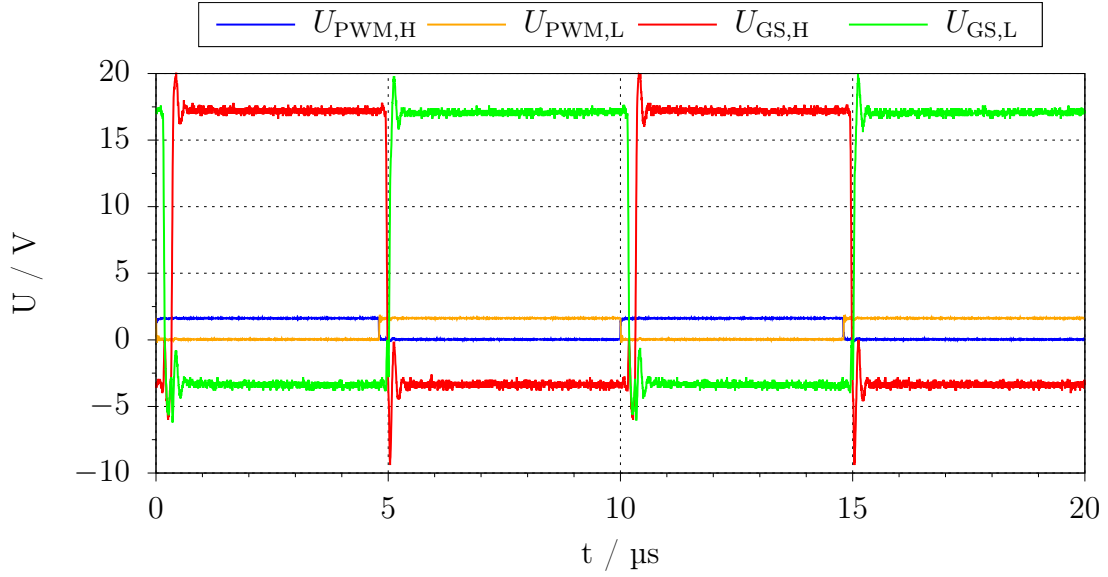


Abbildung 5.6: Gatespannungen einer MOSFET Halbbrücke

PWM-Signal mit einer Verzögerung von ca. 200 ns folgt. Diese Ausbreitungsverzugszeit t_{pd} kann zu einem großen Teil auf die GatetreiberICs zurückgeführt werden, deren typische Ausbreitungsverzugszeit $t_{pd,off} = 125$ ns [34] beträgt.

Werden sich überschneidende PWM-Signale an die Gatetreiberplatine angelegt, werden beide MOSFETs gesperrt um einem Kurzschluss durch die Halbbrücke vorzubeugen. Die Abbildung 5.8 zeigt die resultierenden Gatespannungen bei sich überschneidenden PWM-Signalen. Zum Zeitpunkt $t = 10$ μ s schaltet das PWM-Signal des High-Side MOSFET auf Ein, während der Low-Side MOSFET noch eingeschaltet ist. Resultierend durch die Hardwareverriegelung auf der Treiberplatine wird durch das Ein-Signal des High-Side MOSFET der Low-Side MOSFET ausgeschaltet, sodass sich beide MOSFETs der Halbbrücke in einem sperrenden Zustand befinden. Erst nachdem das PWM-Signal des Low-Side MOSFET zum Zeitpunkt $t = 11$ μ s in den Aus-Zustand wechselt, wird der High-Side MOSFET eingeschaltet.

Zur Inbetriebnahme der Kurzschlusserkennung werden die Gatetreiberplatinen mit der Hauptplatine verbunden. Dabei treten keine Schwierigkeiten auf. Die Spannungsversorgung der Gatetreiberplatinen funktioniert wie geplant durch die Hauptplatine.

Die Funktion der Kurzschlusserkennung in einer MOSFET Halbbrücke wird mit einem Testsignal überprüft. Dieses dreieckförmige Testsignal wird als Eingangsspannung der Kurzschlussüberwachung an die Gatetreiberplatine angeschlossen. Damit stellt das Testsignal die Spannung über dem Shunt U_{Shunt} auf der Gatetreiberplatine dar. Steigt die Spannung U_{Shunt} über den Schwellwert, wird ein Kurzschlusssignal ausgegeben. Dieses Kurzschlusssignal schaltet das HwEN-Signal in den Aus-Zustand und sperrt dadurch die GatetreiberICs. In der Abbildung 5.9 ist die Auslösung des Kurzschlusssignals dargestellt. Durch das Kurzschlusssignal werden die beiden aufgezeichneten MOSFETs gesperrt. Dabei wird der MOSFET mit der Gatespannung $U_{Gate,1}$ durch die Gatetreiberplatine, die den Kurzschluss detektiert hat und der MOSFET mit der Gatespannung $U_{Gate,2}$ durch eine der anderen Gatetreiberplati-

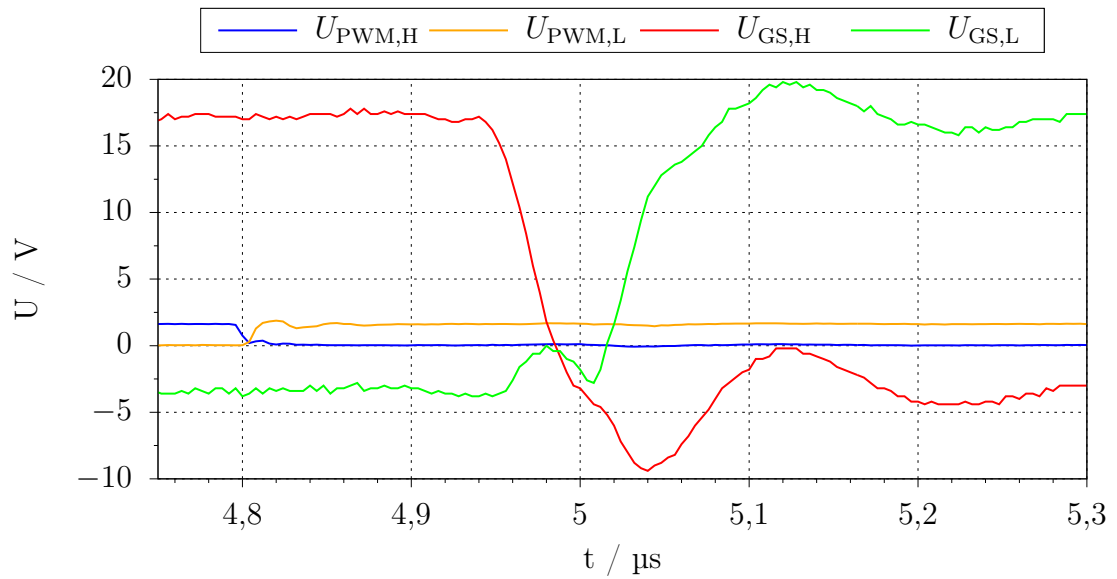


Abbildung 5.7: Schaltvorgang in einer MOSFET Halbbrücke

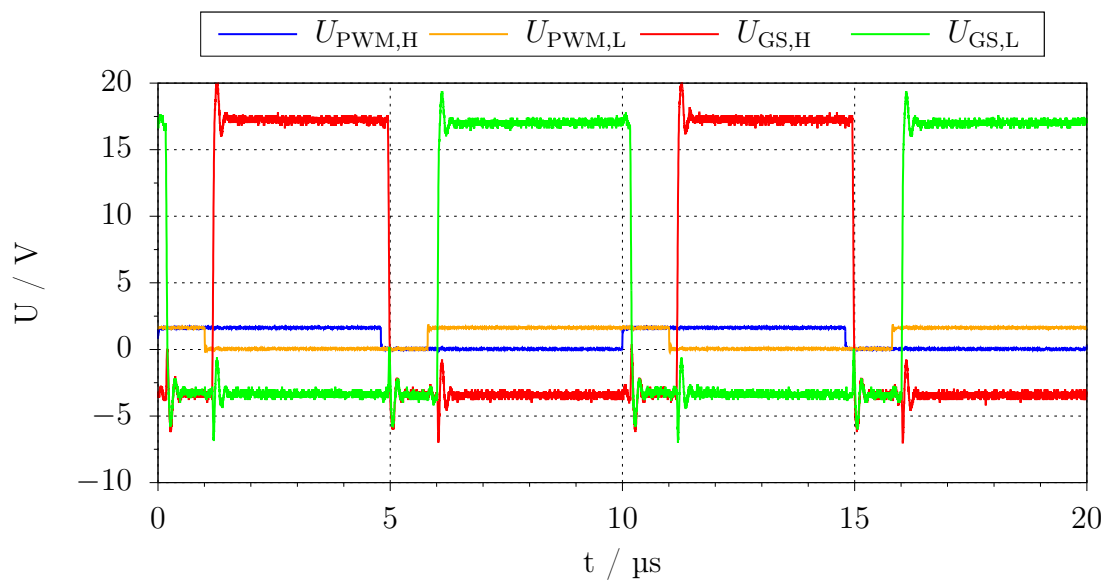


Abbildung 5.8: Gatespannungen einer MOSFET Halbbrücke mit Überschneidung der PWM-Signale

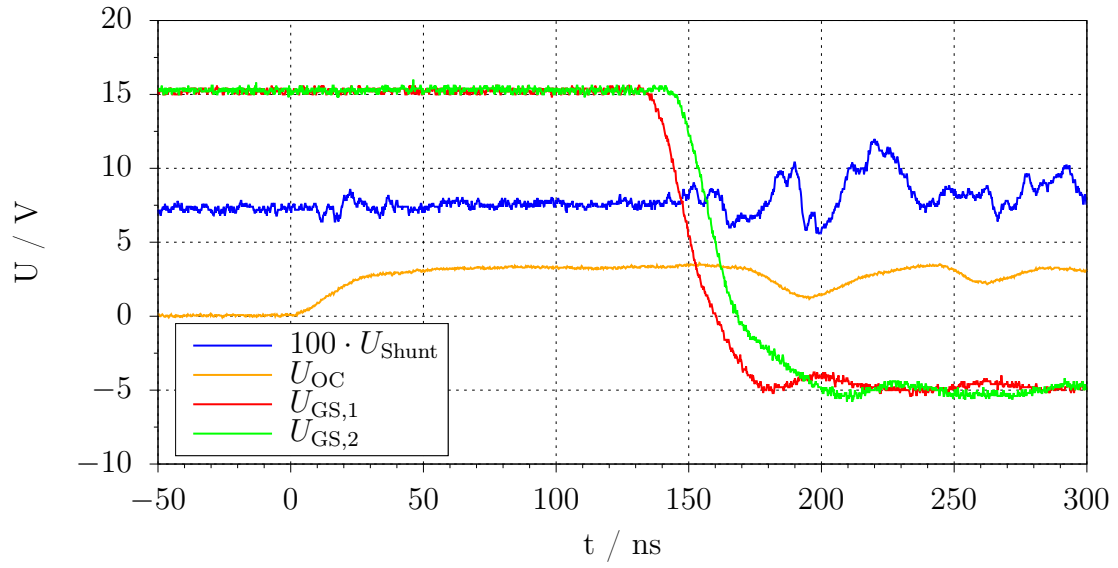


Abbildung 5.9: Abschaltvorgang zweier MOSFETs infolge eines Kurzschlussignals

nen gesteuert. Die Abschaltung des MOSFET mit $U_{\text{Gate},1}$ ist deutlich schneller als die des zweiten MOSFET. Durch die direkte $\overline{\text{EN}}$ Funktion des Kurzschlussignals auf die GatetreiberICs der entsprechenden Platine ist die Ausbreitungsverzugszeit des Abschaltsignals dort gegenüber den anderen Gatetreiberplatinen reduziert. Die anderen Platinen erhalten das Abschaltsignal um wenige Nanosekunden verzögert durch das $\text{Hw}\overline{\text{EN}}$ -Signal.

Kapitel 6

Zusammenfassung

In der vorliegenden Arbeit wurde ein bidirektionaler 12kW DC/DC-Wandler mit drei Anschlüssen und weitem Eingangsspannungsbereich entwickelt, aufgebaut und in Betrieb genommen. Als Wandlertopologie wurde der Gegentaktdurchflusswandler ausgewählt. Die Leistungshalbleiter des Wandlers werden durch SiC-LeistungsmosFETs mit einer Schaltfrequenz bis zu 100 kHz realisiert. Durch den Einsatz eines Transformators wird ein hohes Übersetzungsverhältnis und eine galvanische Trennung erreicht. Der Wandler kann alternativ mit zwei oder drei aktiven DC-Anschlüssen betrieben werden.

Die Anforderungen an den Wandler wurden anhand der Randbedingungen zur Integration des Wandlers in eine Forschungsplattform für Umrichtersysteme festgelegt. In einem Vergleich unterschiedlicher DC/DC-Wandlertopologien wurde entsprechend der Anforderungen der Gegentaktdurchflusswandler als Topologie ausgewählt.

Durch eine Minimierung der Verluste in den Leistungshalbleitern wurde die Schaltfrequenz des DC/DC-Wandlers festgelegt. Daran anschließend wurden in einem Vergleich unterschiedlicher Schaltertechnologien SiC-LeistungsmosFET Halbbrückenmodule als Leistungshalbleiter ausgewählt.

Die DC-Anschlüsse werden durch einen Transformator mit insgesamt fünf galvanisch getrennten Wicklungen gekoppelt. Durch eine umschaltbare Anordnung der Wicklungen an den beiden WI-Anschlüssen wird ein variables Transformatorübersetzungsverhältnis erreicht. Zur Erhöhung der Streuinduktivitäten des Transformators werden zusätzliche Drosseln verwendet. Eine solche Drossel wurde für jede Transformatorwicklung ausgelegt.

Zudem wurde ein Simulationsmodell des Wandlers für den Betrieb mit zwei bzw. drei aktiven DC-Anschlüssen erstellt. Die Auslegung der Leistungskomponenten wurde durch umfassende Simulationen in verschiedenen Arbeitspunkten verifiziert.

Zum Aufbau des Gegentaktdurchflusswandlers wurde ein Schaltplan der gesamten Schaltung entwickelt. Dieser Schaltplan beinhaltet neben den Leistungskomponenten auch deren Treiberschaltungen, Messungen elektrischer und thermischer Betriebsgrößen, die Steuerungselektronik der Aktoren, ein Regelungssystem sowie verschiedene Kommunikationsschnittstellen.

Im Anschluss an die Schaltplanerstellung wurde ein Konzept zur Realisierung des Wandlers erarbeitet. Dieses Konzept besteht aus insgesamt sieben Platinen, die drei unterschiedliche Layouts besitzen. Jedes dieser drei Platinenlayouts wurden auf Basis der Schaltpläne eigenständig entwickelt. Die Platinen wurden entsprechend den erstellten Layouts und dem Wandlerkonzept gefertigt und bestückt.

Durch eine schrittweise Inbetriebnahme des Wandlers konnte die Funktion ver-

schiedener Baugruppen gezeigt werden. Hierbei wurde die Funktionalität der Sicherheits- und Messsysteme sowie der Ansteuerung der Leistungshalbleiter verifiziert.

Kapitel 7

Ausblick

Mit dem in dieser Arbeit ausgelegten, designten und aufgebauten Wandler steht nun ein spezialisierter Umrichter zur Verfügung. Dieser kann nach einer erfolgreichen weiteren Inbetriebnahme als ein zentrales Element in die Forschungsplattform für Umrichtersysteme am DLR-VE integriert werden.

Im Rahmen einer weiterführenden Entwicklung kann der Wandler in Betrieb genommen werden. Durch eine vollständige Inbetriebnahme kann die Funktionalität des Wandlers gezeigt werden. Dazu ist, anschließend an die bereits erfolgte Teilinbetriebnahme, der Leistungsteil des Wandlers in Betrieb zu nehmen.

Die Inbetriebnahme des Leistungsteils erfolgt für jeden Anschluss einzeln. Zuerst werden mit einem Doppelpulsversuch die Kennwerte zur Einstellung der Schaltzeit und die Schaltenergien ermittelt. Anschließend können die drei H4-Brücken in Betrieb genommen werden. Nachdem die Funktionalität aller Anschlüsse gezeigt wurde, werden die Anschlüsse durch den Transformator gekoppelt. In der Folge kann der gesamte Wandler in Betrieb genommen und dessen Funktionalität validiert werden.

Nach der vollständigen Inbetriebnahme des Wandlers kann das Systemverhalten durch weiterführende Messungen untersucht werden. Neben den elektrischen Größen ist dabei auch die thermische Erwärmung der Platine in Folge der Verluste zu betrachten. Zur Quantifizierung dieser Verluste und der Übertragungseffizienz werden Wirkungsgradmessungen durchgeführt. Um den gesamten zulässigen Betriebsbereich des Wandlers zu untersuchen, werden diese Messungen für verschiedene Arbeitspunkte vorgenommen. Dabei ist das Systemverhalten mit zwei aktiven Anschlüssen (WI-WI bzw. WI-Akku) ebenfalls zu untersuchen.

Zum Betrieb des Wandlers ist eine Ansteuerung der Leistungsschalter mit PWM-Signalen erforderlich. Die Erzeugung dieser Signale ist durch den Mikrocontroller auf der Platine und durch eine externe Steuereinheit möglich. Für diese beiden Systeme wird eine Regelungssoftware benötigt. Diese Software soll modular aufgebaut werden.

Durch den modularen Aufbau des Regelungssystems soll eine einfache Integration experimenteller Regelungsalgorithmen mit unterschiedlichen Schnittstellen ermöglicht werden. Dabei können überlagerte Regler und rechenintensive Algorithmen auf leistungsstarke externe Rechnersysteme ausgelagert werden. Die Überwachung des Betriebszustands des Wandlers, die Modulation der Schaltsignale der Leistungshalbleiter sowie die Messung der elektrischen und thermischen Betriebsgrößen erfolgt dabei weiter hardwarenah.

Zur Optimierung des Betriebsverhaltens kommen abhängig von der Anzahl der verwendeten Anschlüsse des Wandlers unterschiedliche Modulationsstrategien zum

Einsatz. Diese Modulationsstrategien werden in die modulare Struktur des Regelungssystems als unterste Schicht integriert. Dadurch wird ein sicherer Betrieb durch die Verwendung validierter Modulationsalgorithmen gewährleistet.

Nach der Inbetriebnahme des Wandlers und dem Aufbau einer Regelungssoftware kann der Gleichspannungswandler in die DLR-VE Forschungsplattform für Umrichtersysteme im NESTEC integriert werden. Dort kann das Systemverhalten des Gleichspannungswandlers in Wechselwirkung mit weiteren Spannungsumrichtern, z. B. einem Wechselrichter, analysiert werden. Dabei ist eine Untersuchung des Parallelbetriebs mehrerer Gleichspannungswandler mit unterschiedlichen Regelungs- und Modulationsstrategien ebenfalls vorgesehen.

Literatur

- [1] S. Teske, *Energy Revolution*, Greenpeace International, Sep. 2015.
- [2] F. C. Matthes, L. Emele, H. Hermann, C. Loreck, F. Peter u. a., *Zukunft Stromsystem Kohleausstieg 2035 – Vom Ziel her denken*, WWF Deutschland, Berlin, Jan. 2017.
- [3] K. Mertens, *Photovoltaik, Lehrbuch zu Grundlagen, Technologie und Praxis*, 3., neu bearb. und erw. Aufl. München: Hanser Verlag, 2015. DOI: 10.3139/9783446441071.
- [4] F. Allerdin, C. Beilmann, W. Breh, J. Bremer, J. Fuchs u. a., *Die Weiterentwicklung der Energiewirtschaft in Baden-Württemberg bis 2025 unter Berücksichtigung der Liefer- und Preissicherheit*, Karlsruher Institut für Technologie (KIT), Techn. Ber., Jan. 2016. DOI: 10.5445/IR/1000057638.
- [5] C. Rehtanz, M. Greve, U. Häger, D. Hilbrich, S. Kippelt u. a., *dena-Studie Systemdienstleistungen 2030, Voraussetzungen für eine sichere und zuverlässige Stromversorgung mit hohem Anteil erneuerbarer Energien*, Deutsche Energie-Agentur GmbH (dena), Feb. 2014.
- [6] R. Grünwald, M. Ragwitz, F. Sensfuß und J. Winkler, *Regenerative Energieträger zur Sicherung der Grundlast in der Stromversorgung*, Büro für Technikfolgen-Abschätzung beim Deutschen Bundestag (TAB), Apr. 2012.
- [7] U. Schlien, Hrsg., *Schaltnetzteile und ihre Peripherie: Dimensionierung, Einsatz, EMV*, 3., aktualisierte und erweiterte Auflage. Wiesbaden: Vieweg, 2007. DOI: 10.1007/978-3-8348-9222-5.
- [8] G. Oggier, G. O. García und A. R. Oliva, *Modulation strategy to operate the dual active bridge DC-DC converter under soft switching in the whole operating range*, IEEE Transactions on Power Electronics, Jg. 26, Nr. 4, S. 1228–1236, Apr. 2011. DOI: 10.1109/TPEL.2010.2072966.
- [9] Y. Zhang und Y. Du, *Multi-mode Control Strategy for Dual Active Bridge Bidirectional DC-DC Converters*, in *Geo-informatics in Sustainable Ecosystem and Society*, Y. Xie, A. Zhang, H. Liu und L. Feng, Hrsg., Singapore: Springer Singapore, 2019, S. 71–78. DOI: 10.1007/978-981-13-7025-0.
- [10] H. Tao, A. Kotsopoulos, J. L. Duarte und M. A. M. Hendrix, *Transformer-Coupled Multiport ZVS Bidirectional DC-DC Converter With Wide Input Range*, IEEE Transactions on Power Electronics, Jg. 23, Nr. 2, S. 771–781, März 2008. DOI: 10.1109/TPEL.2007.915129.
- [11] A. Wintrich, U. Nicolai, W. Tursky und T. Reimann, *Applikationshandbuch Leistungshalbleiter*, 2. überarbeitete Auflage. Nürnberg: SEMIKRON International GmbH, 2015.

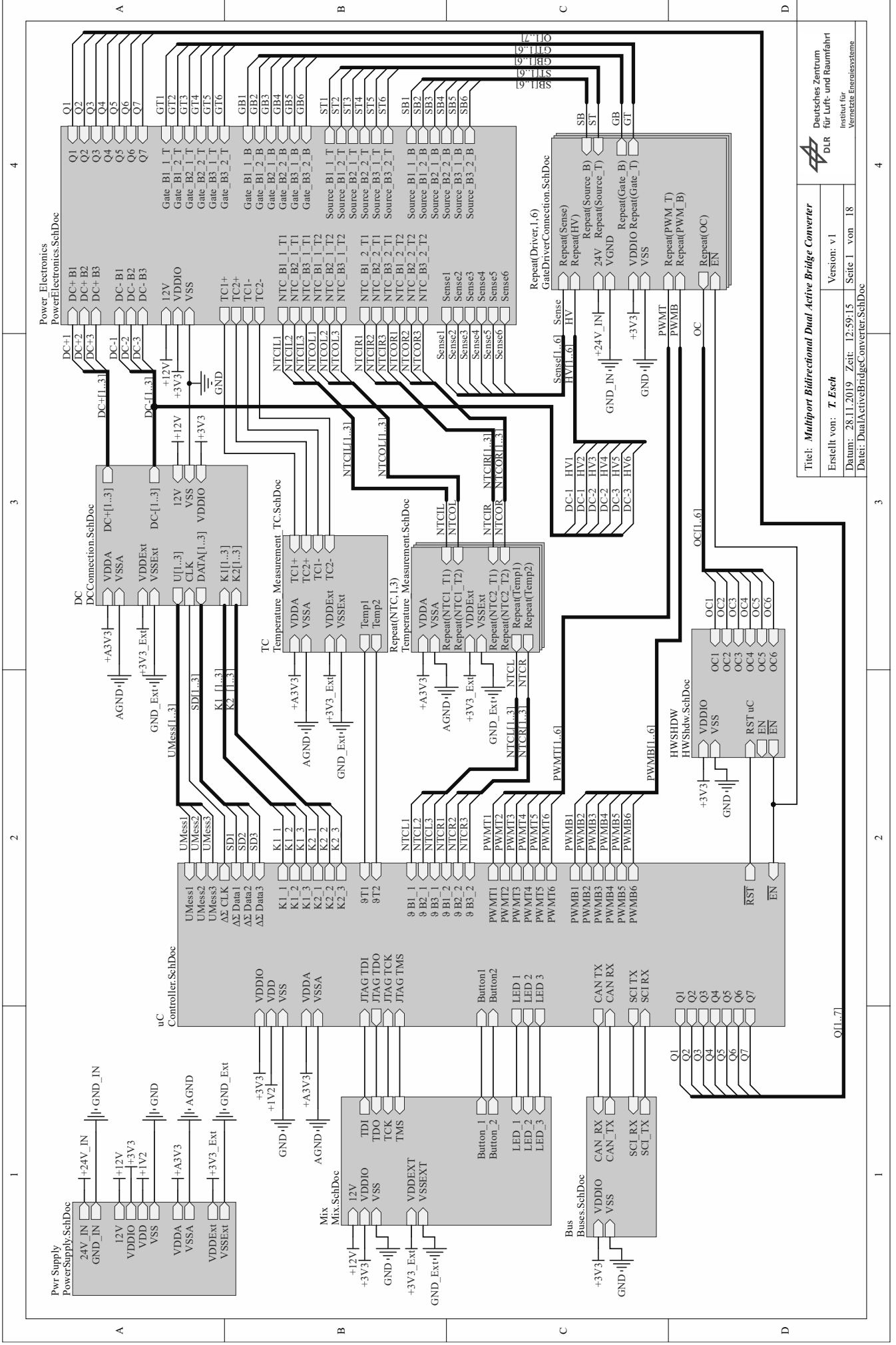
- [12] Y. H. Abraham, H. Wen, W. Xiao und V. Khadkikar, *Estimating power losses in Dual Active Bridge DC-DC converter*, in *2011 2nd International Conference on Electric Power and Energy Conversion Systems (EPECS)*, Nov. 2011, S. 1–5. DOI: 10.1109/EPECS.2011.6126790.
- [13] N. Rao und D. Chamund, *Calculating power losses in an IGBT Module*, AN6156-1 September 2014 LN31943, DYNEX SEMICONDUCTOR LTD, Sep. 2014.
- [14] J. Specovius, *Grundkurs Leistungselektronik: Bauelemente, Schaltungen und Systeme*. Wiesbaden: Springer Fachmedien Wiesbaden, 2018. DOI: 10.1007/978-3-658-21169-1.
- [15] M. Albach, *Induktivitäten in der Leistungselektronik: Spulen, Trafos und ihre parasitären Eigenschaften*. Wiesbaden: Springer Fachmedien Wiesbaden, 2017. DOI: 10.1007/978-3-658-15081-5.
- [16] *EPCOS Data Book 2013*, Ferrites and Accessories, EPCOS AG, 2012.
- [17] L. Piris-Botalla, G. G. Oggier und G. O. García, *Extending the power transfer capability of a three-port DC-DC converter for hybrid energy storage systems*, IET Power Electronics, Jg. 10, Nr. 13, S. 1687–1697, 2017. DOI: 10.1049/iet-pel.2016.0422.
- [18] M. El-Zanaty, M. Orabi und M. Z. El-Sadek, *Review of synchronous buck converter design optimization*, in *2008 12th International Middle-East Power System Conference*, März 2008, S. 588–592. DOI: 10.1109/MEPCON.2008.4562398.
- [19] S. Sunkara und N. Kondrath, *Design and PSpice simulation of synchronous bidirectional PWM DC-DC buck-boost converter operating in CCM*, in *2013 Annual IEEE India Conference (INDICON)*, Dez. 2013, S. 1–6. DOI: 10.1109/INDCON.2013.6725989.
- [20] *LC Selection Guide for the DC-DC Synchronous Buck Converter*, AND9135/D, Rev. 0, ON Semiconductor, Apr. 2013.
- [21] A. M. Rahimi, P. Parto und P. Asadi, *Compensator Design Procedure for Buck Converter with Voltage-Mode Error-Amplifier*, AN-1162, International Rectifier.
- [22] B. Hauke, *Basic Calculation of a Boost Converter's Power Stage*, SLVA372C, Rev. C, Texas Instruments Incorporated, Jan. 2014.
- [23] V. Pham und K. Wada, *Design of Series Inductances in Triple Active Bridge Converter Using Normalization Procedure for Integrated EV and PV System*, in *2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)*, Mai 2019, S. 3027–3032.
- [24] B. Zhao, Q. Song, W. Liu und Y. Sun, *Overview of Dual-Active-Bridge Isolated Bidirectional DC-DC Converter for High-Frequency-Link Power-Conversion System*, IEEE Transactions on Power Electronics, Jg. 29, Nr. 8, S. 4091–4106, Aug. 2014. DOI: 10.1109/TPEL.2013.2289913.
- [25] *CAS120M12BM2 1.2kV, 13 mΩ All-Silicon Carbide Half-Bridge Module*, CAS-120M12BM2, Rev. -, Cree, Inc., 2014.

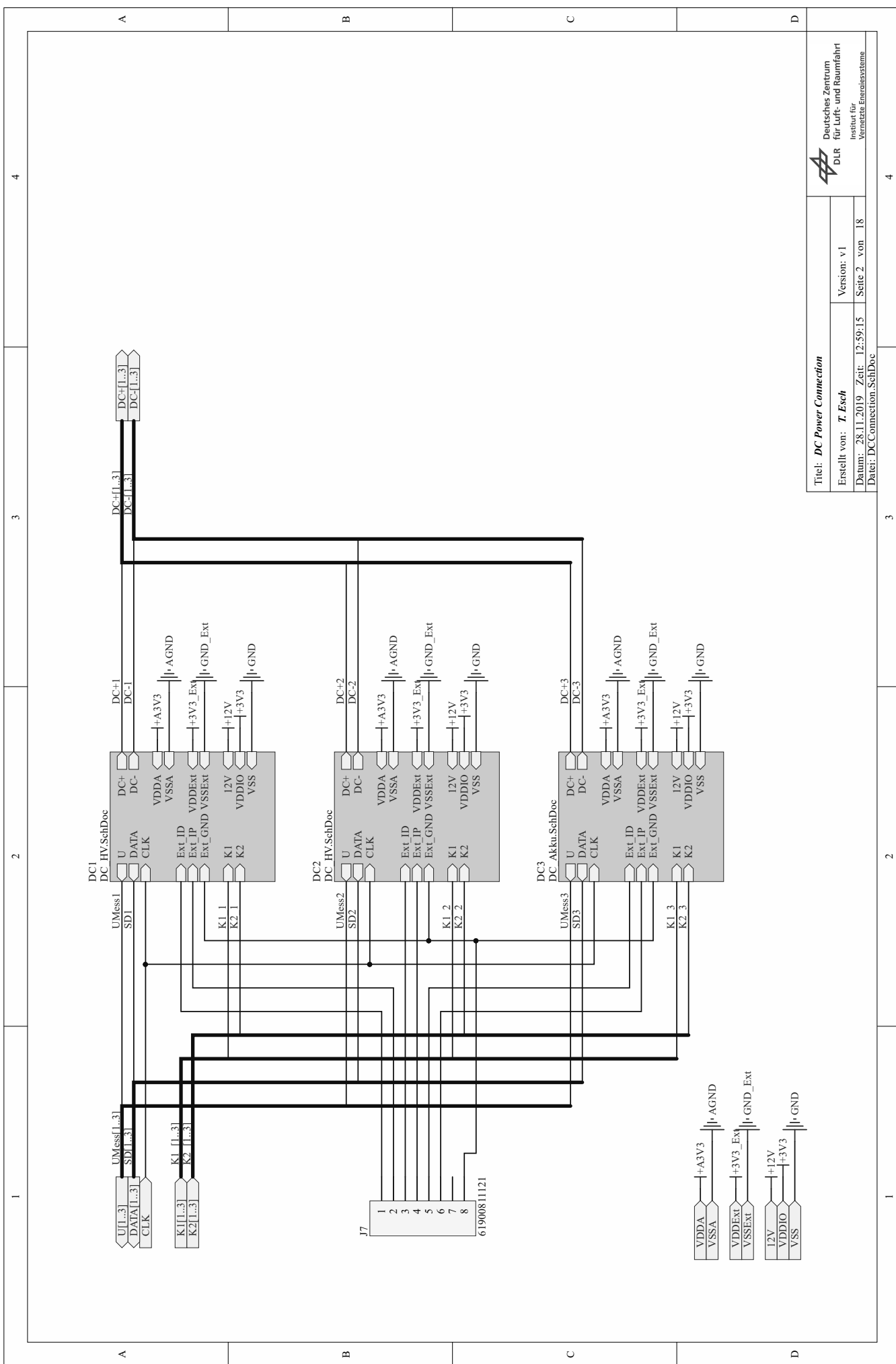
- [26] *SiC Power Module*, BSM080D12P2C008, Rev.001, ROHM Co., Ltd., Juli 2019.
- [27] *EasyDUAL module with CoolSiCTM Trench MOSFET and PressFIT / NTC*, FF8MR12W2M1_B11, V 2.0, Infineon Technologies AG, Okt. 2018.
- [28] H.-J. Choi und J.-H. Jung, *Practical Design of Dual Active Bridge Converter as Isolated Bi-directional Power Interface for Solid State Transformer Applications*, Journal of Electrical Engineering and Technology, Jg. 11, Nr. 5, S. 1265–1273, Sep. 2016. DOI: 10.5370/JEET.2016.11.5.1265.
- [29] *Silicon Carbide Enhancement Mode MOSFET*, DACMH120N1200, DACO SEMICONDUCTOR CO., LTD., Jan. 2018.
- [30] *EasyDUAL module with CoolSiCTM Trench MOSFET and PressFIT / NTC*, FF23MR12W1M1_B11, V 2.2, Infineon Technologies AG, Juli 2018.
- [31] *Data sheet Product LA 22 200 24*, LA 22 200 24, Fischer Elektronik GmbH & Co. KG.
- [32] *Polypropylene Pulse/High Frequency Capacitors*, R76, F3034_R76, KEMET Electronics Corporation, Okt. 2019.
- [33] *MLC Capacitors*, StackiCapTM, 10174 / 17 / MLC / v2, Knowles Capacitors, 2017.
- [34] *1EDI EiceDRIVERTM Compact*, 1EDI60N12AF, Revision 2.0, Infineon Technologies AG, Juni 2015.
- [35] *LM809/LM810 3-Pin Microprocessor Reset Circuits*, SNVS052E, Revision E, Infineon Technologies AG, Apr. 2016.
- [36] *Automotive Relays High Current Devices*, High Current Relay 150, Rev. 0314, Tyco Electronics Corporation, März 2014.
- [37] *DC-DC CONVERTER*, PYBE30, Rev. 1.0, CUI Inc, Jan. 2019.
- [38] *TMS320F28004x PiccoloTM Microcontrollers*, SPRS945D, Revision D, Texas Instruments Inc, Okt. 2018.
- [39] *TMS320F28004x Piccolo Microcontrollers, Technical Reference Manual*, SPR-UI33B, Revision B, Texas Instruments Inc, Jan. 2019.
- [40] W. Pläßmann und D. Schulz, Hrsg., *Handbuch Elektrotechnik, Grundlagen und Anwendungen für Elektrotechniker*. Wiesbaden: Vieweg + Teubner, 2009. DOI: 10.1007/978-3-8348-9245-4.
- [41] S. Hesse und G. Schnell, *Sensoren für die Prozess- und Fabrikautomation: Funktion - Ausführung - Anwendung*. Wiesbaden: Springer Fachmedien Wiesbaden, 2014. DOI: 10.1007/978-3-658-05867-8.
- [42] H. Bernstein, *Messelektronik und Sensoren: Grundlagen der Messtechnik, Sensoren, analoge und digitale Signalverarbeitung*. Wiesbaden: Springer Fachmedien Wiesbaden, 2014. DOI: 10.1007/978-3-658-00549-8.
- [43] Kliesch, *Transformer for Research*, B 1905094, Rev. 1.2, BLOCK Transformatoren, Elektronik GmbH, Juli 2019.
- [44] *Precision Thermocouple Amplifiers with Cold Junction Compensation*, AD-8494/AD8495/AD8496/AD8497, Rev. D, Analog Devices, Inc, 2018.

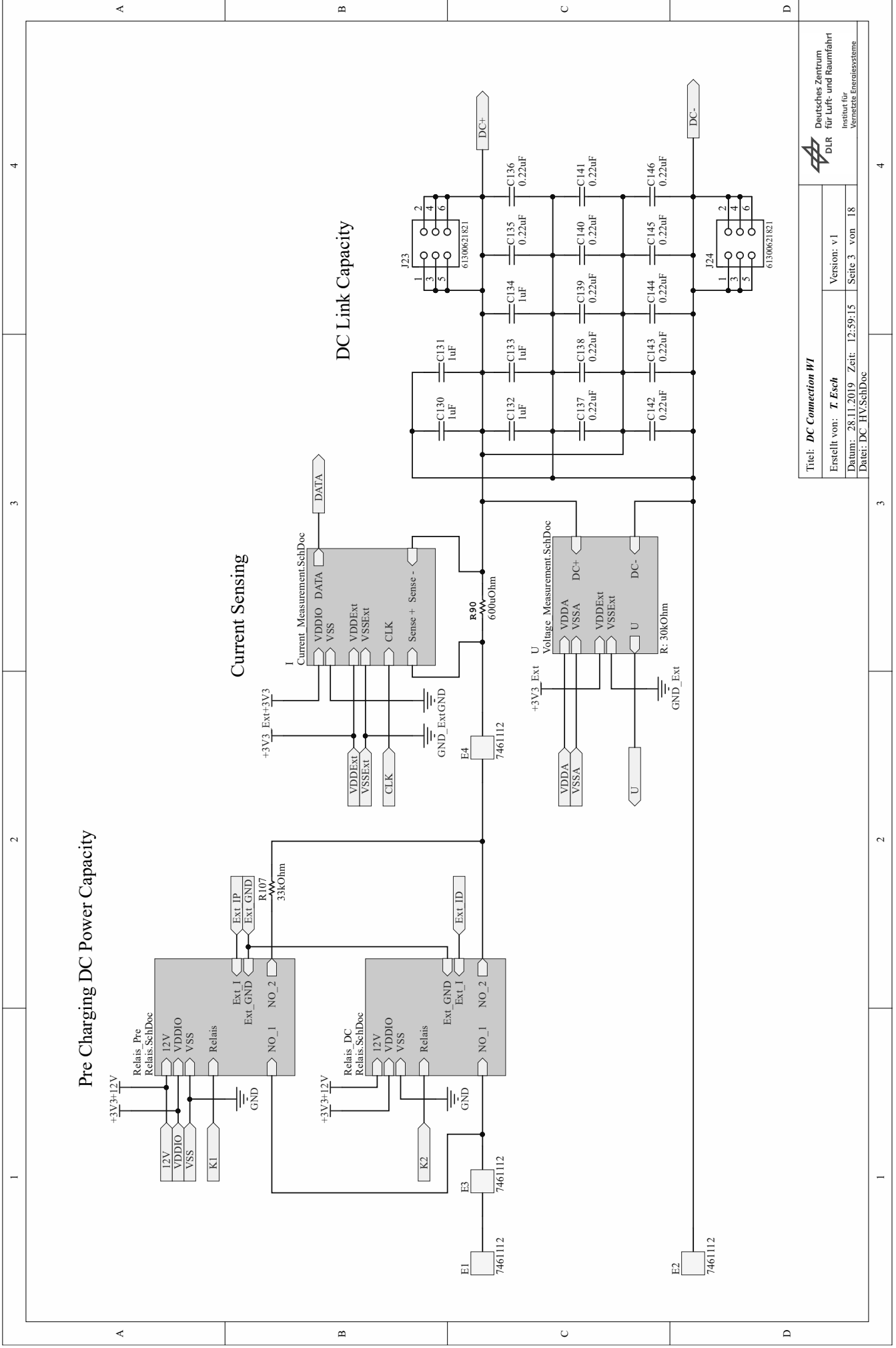
Anhang A

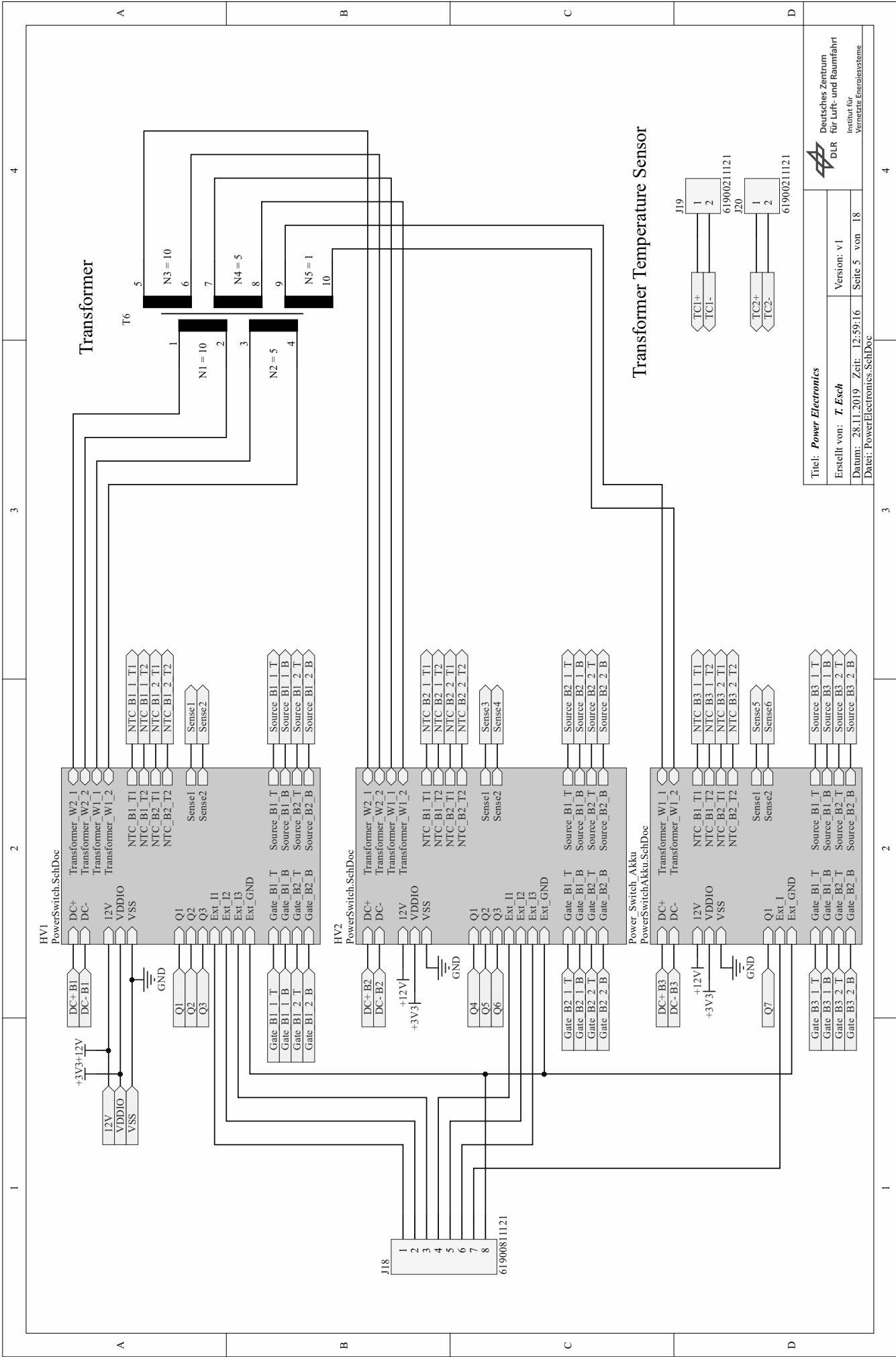
Schaltplan

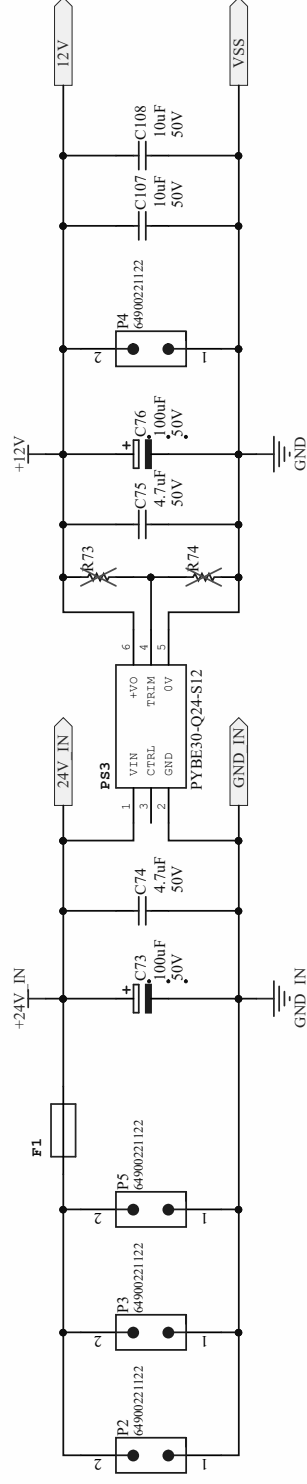
A.1 Hauptplatine



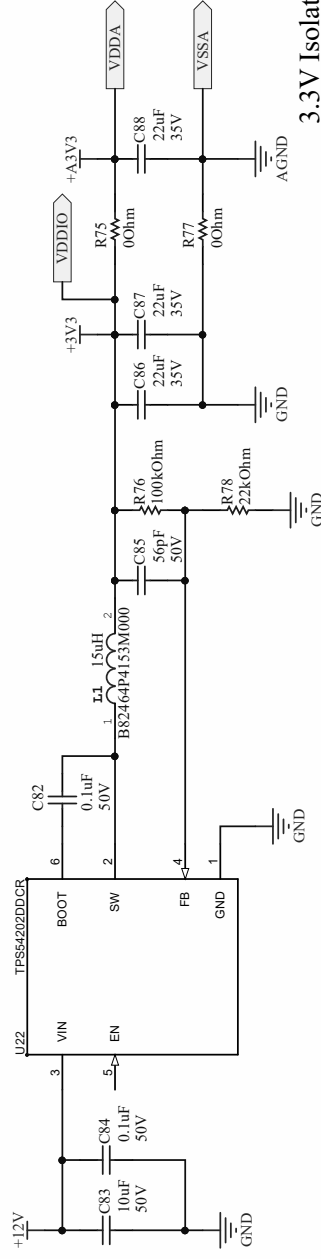




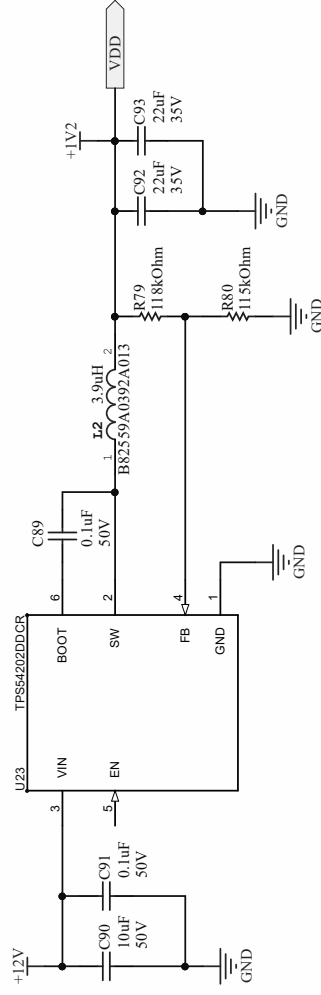




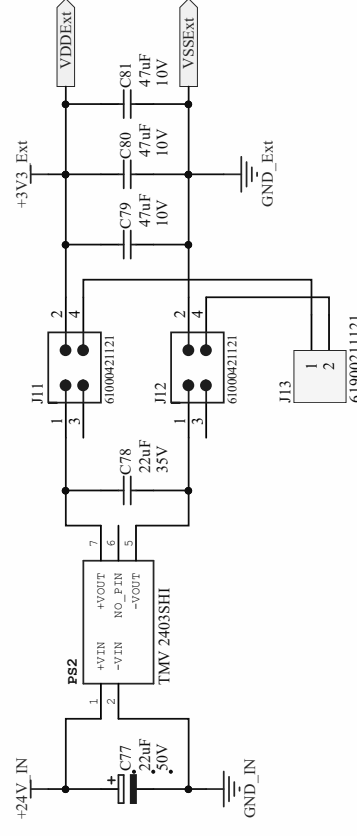
3.3V Digital and Anlog Power Supply

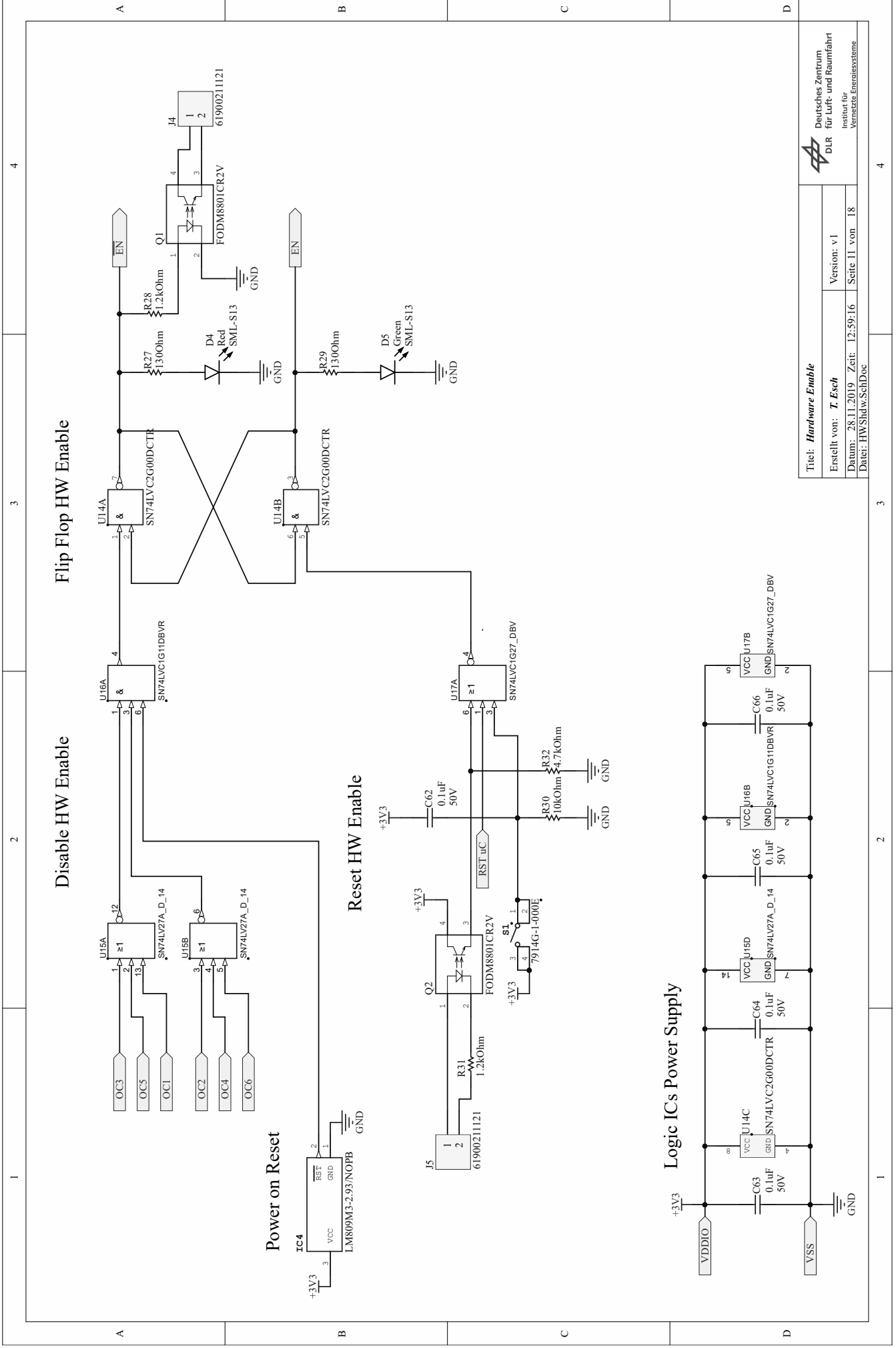


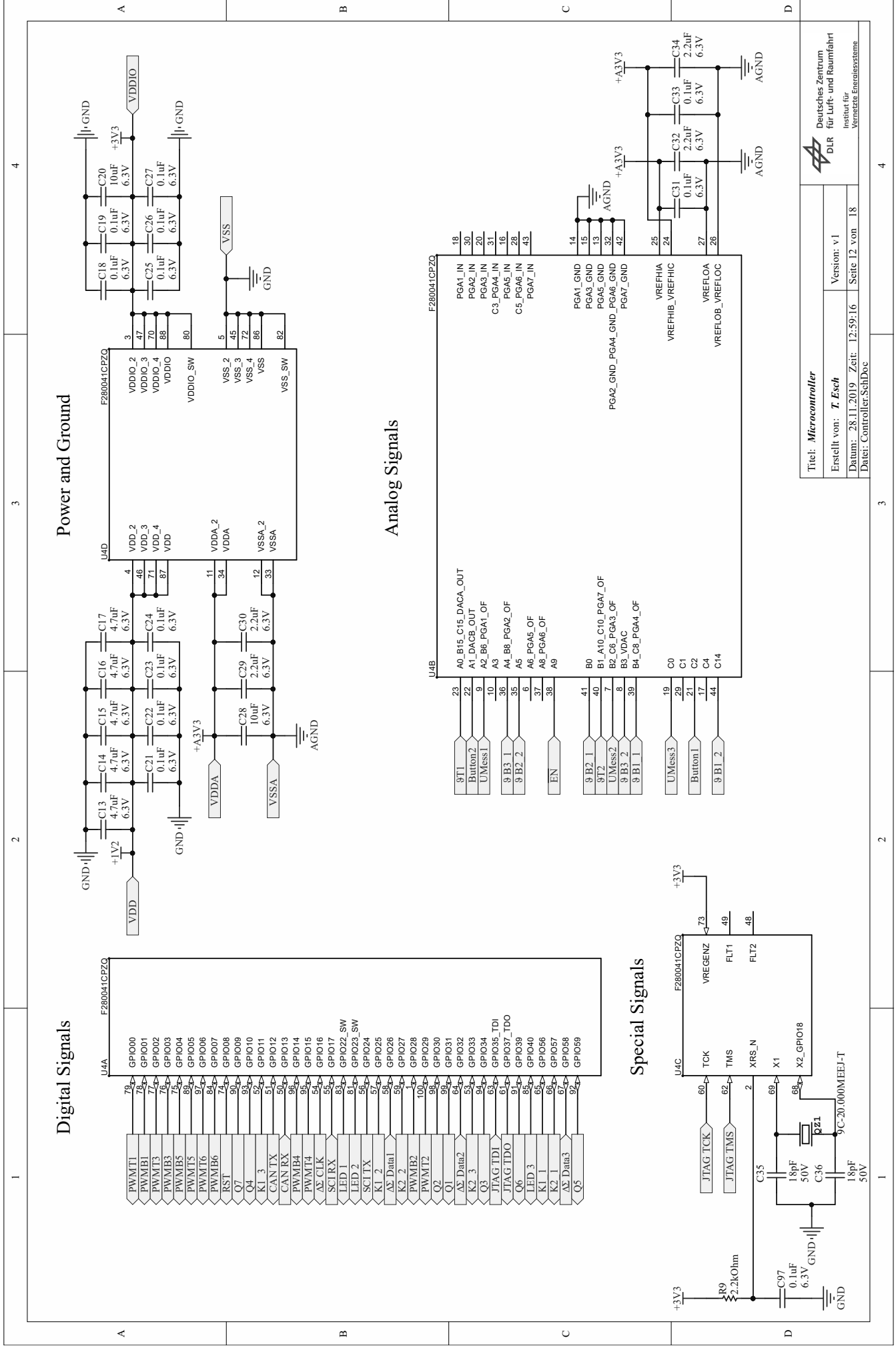
1.2V MCU Power Supply

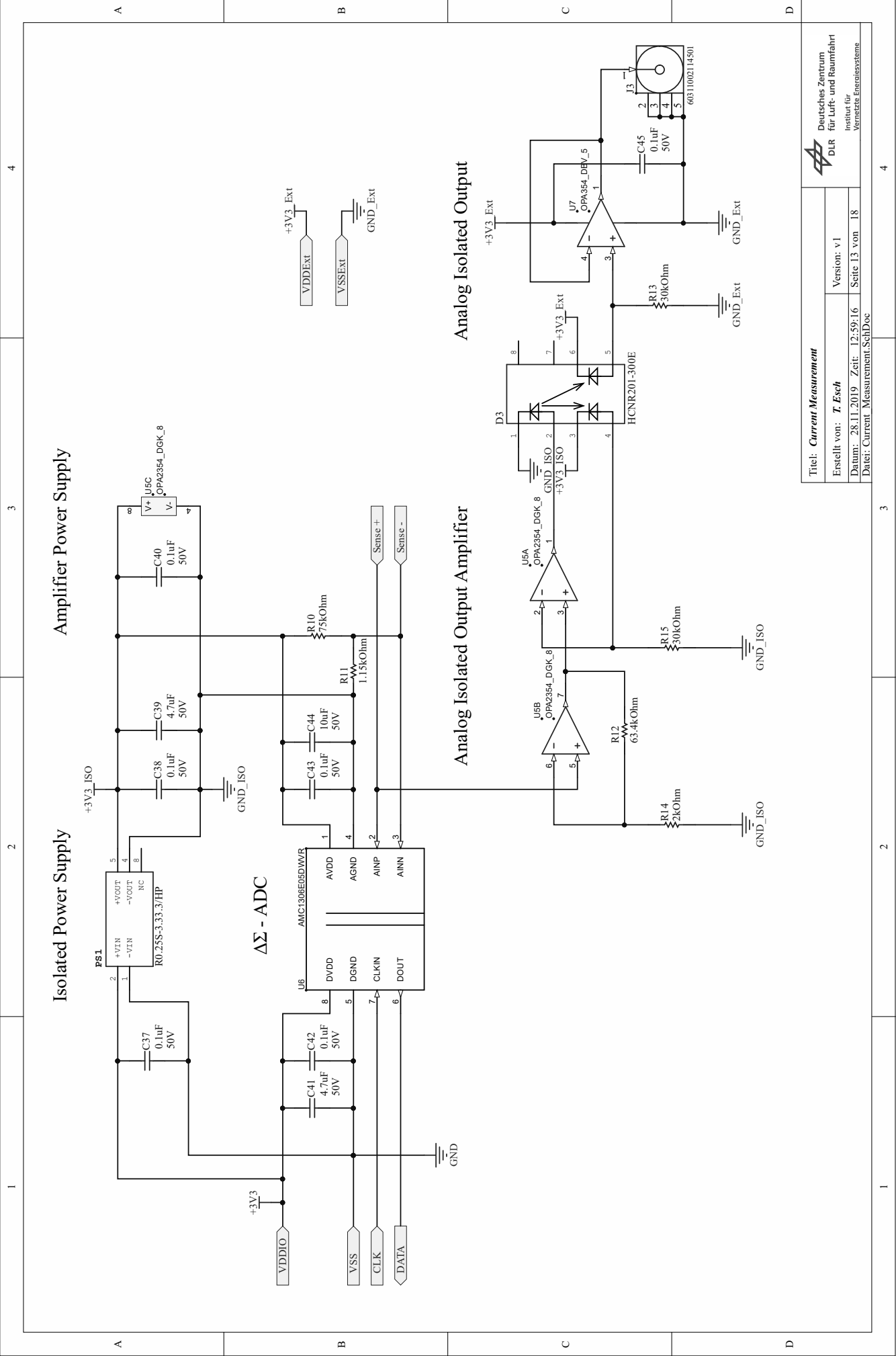


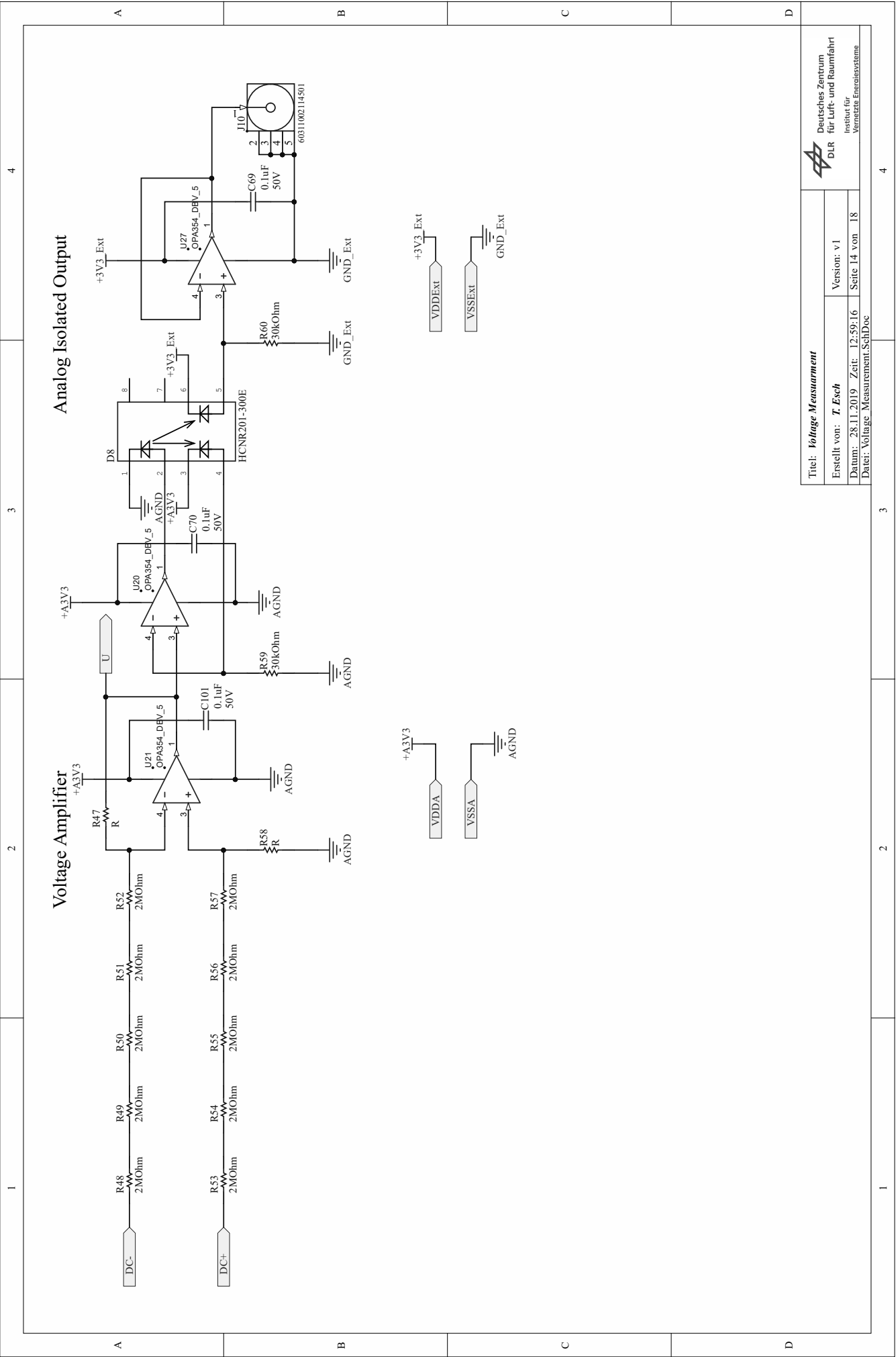
3.3V Isolated External Measurement Power Supply

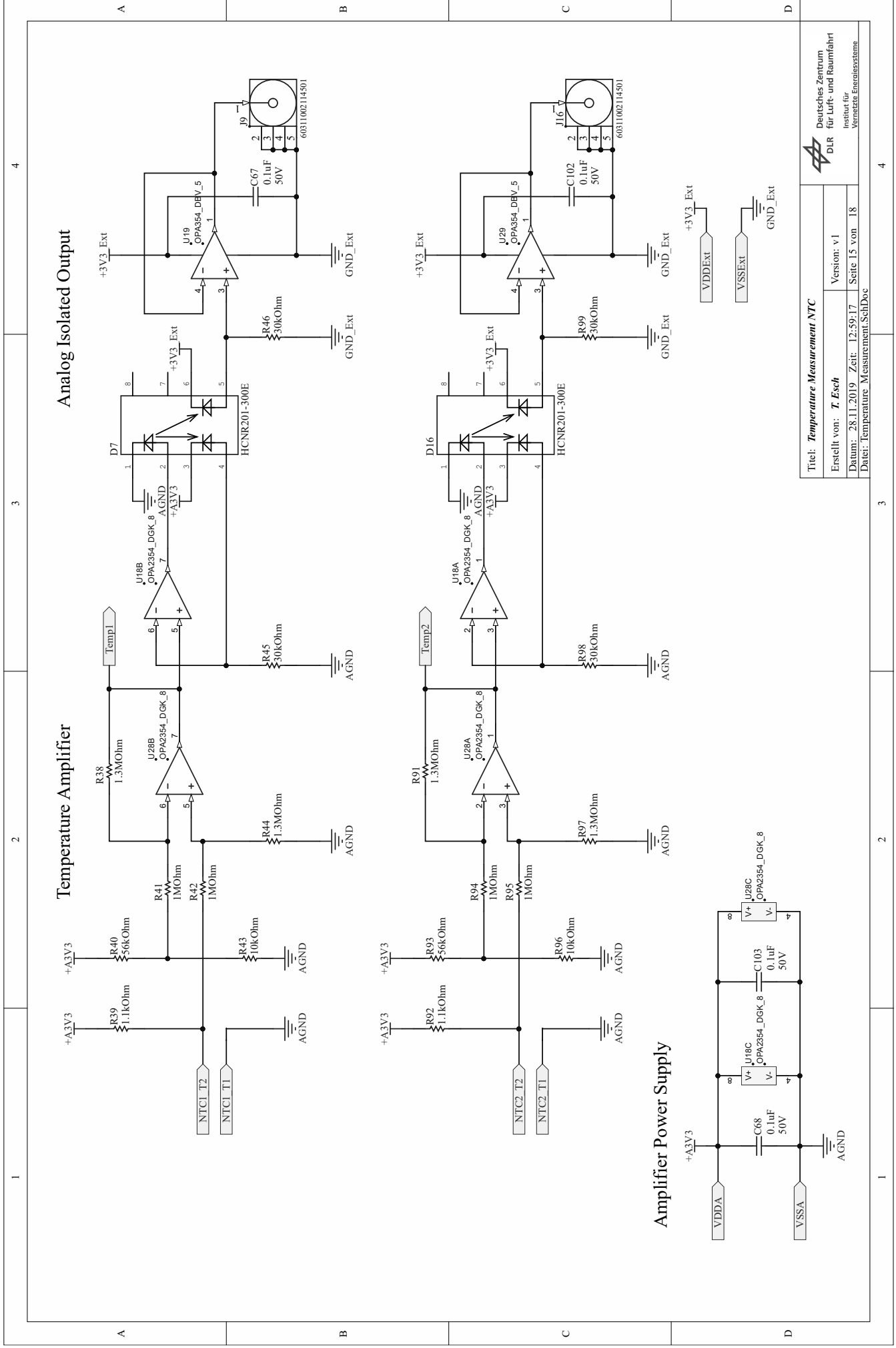






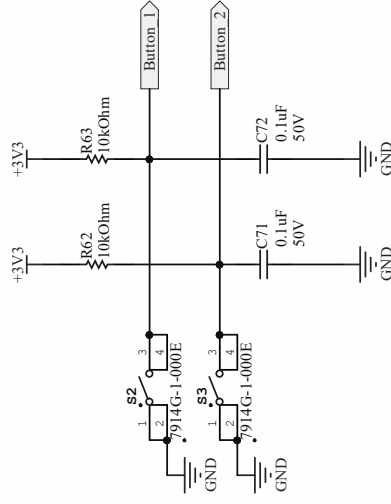




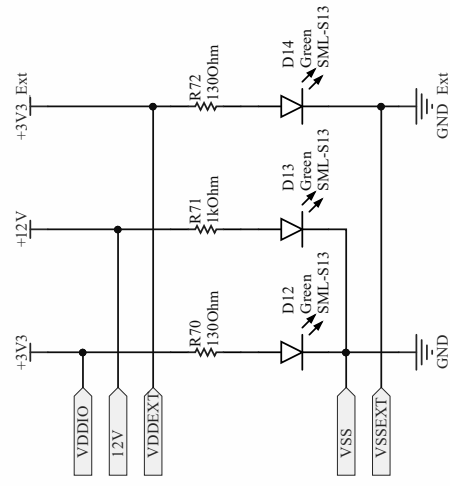


[illegible][illegible]

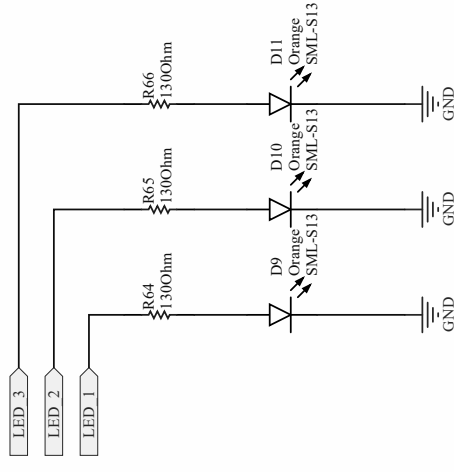
General Purpose Buttons



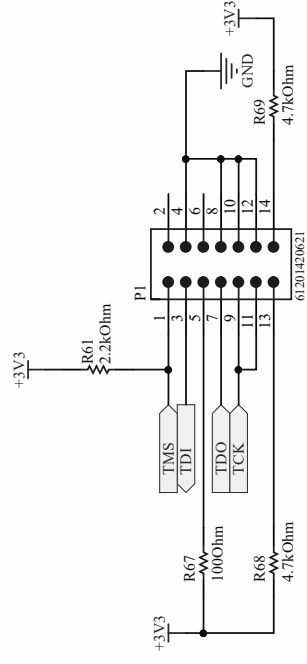
LEDs Power Supply



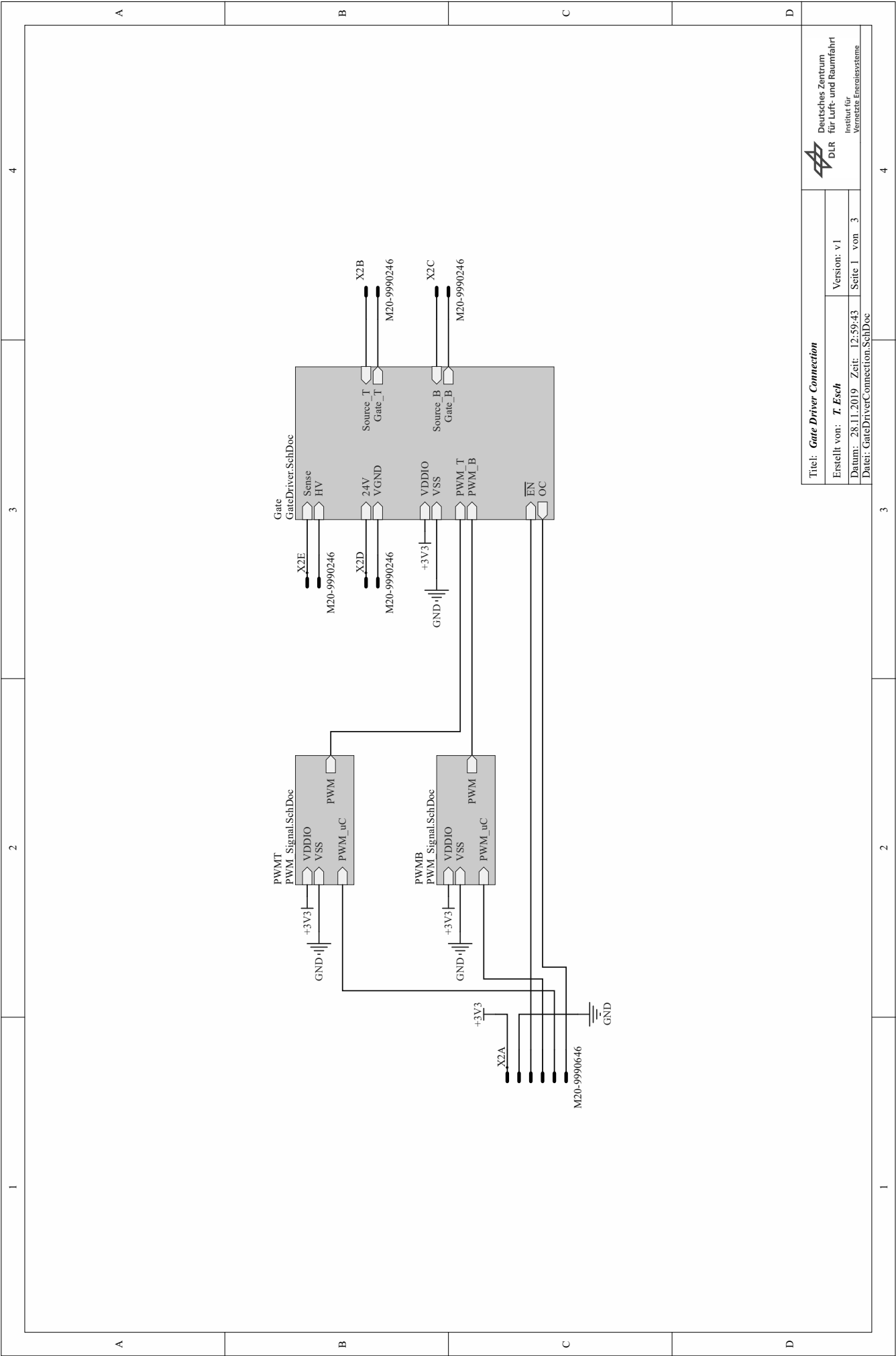
General Purpose LEDs

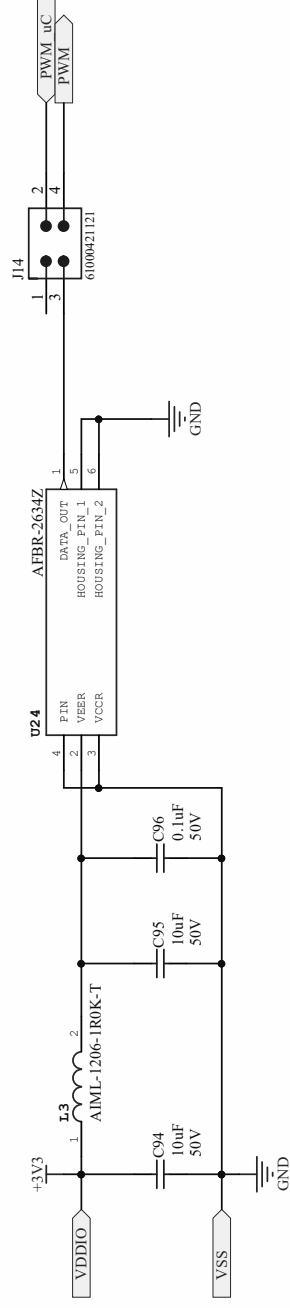
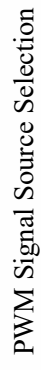
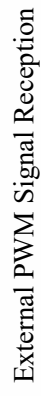


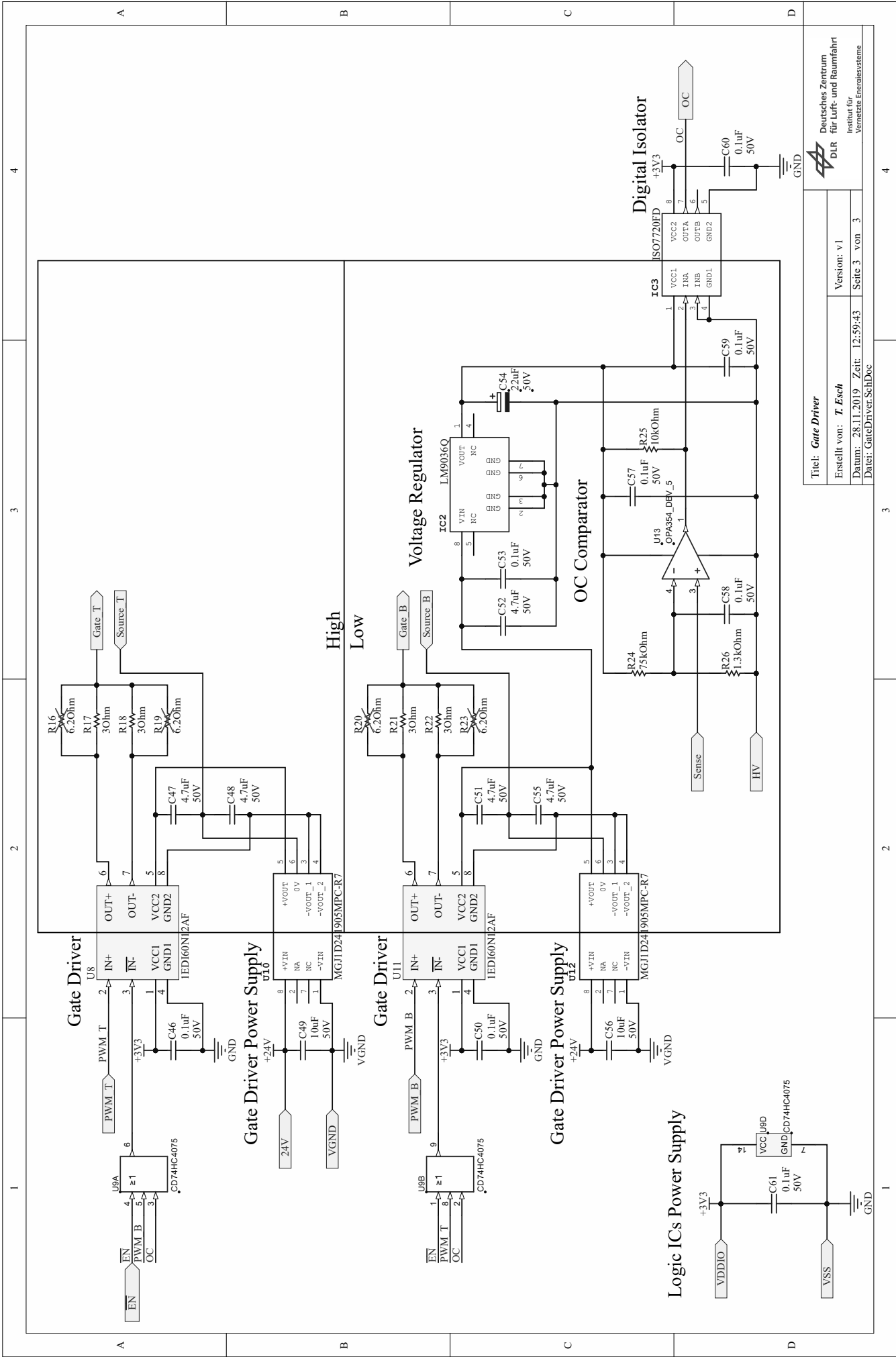
JTAG Connector



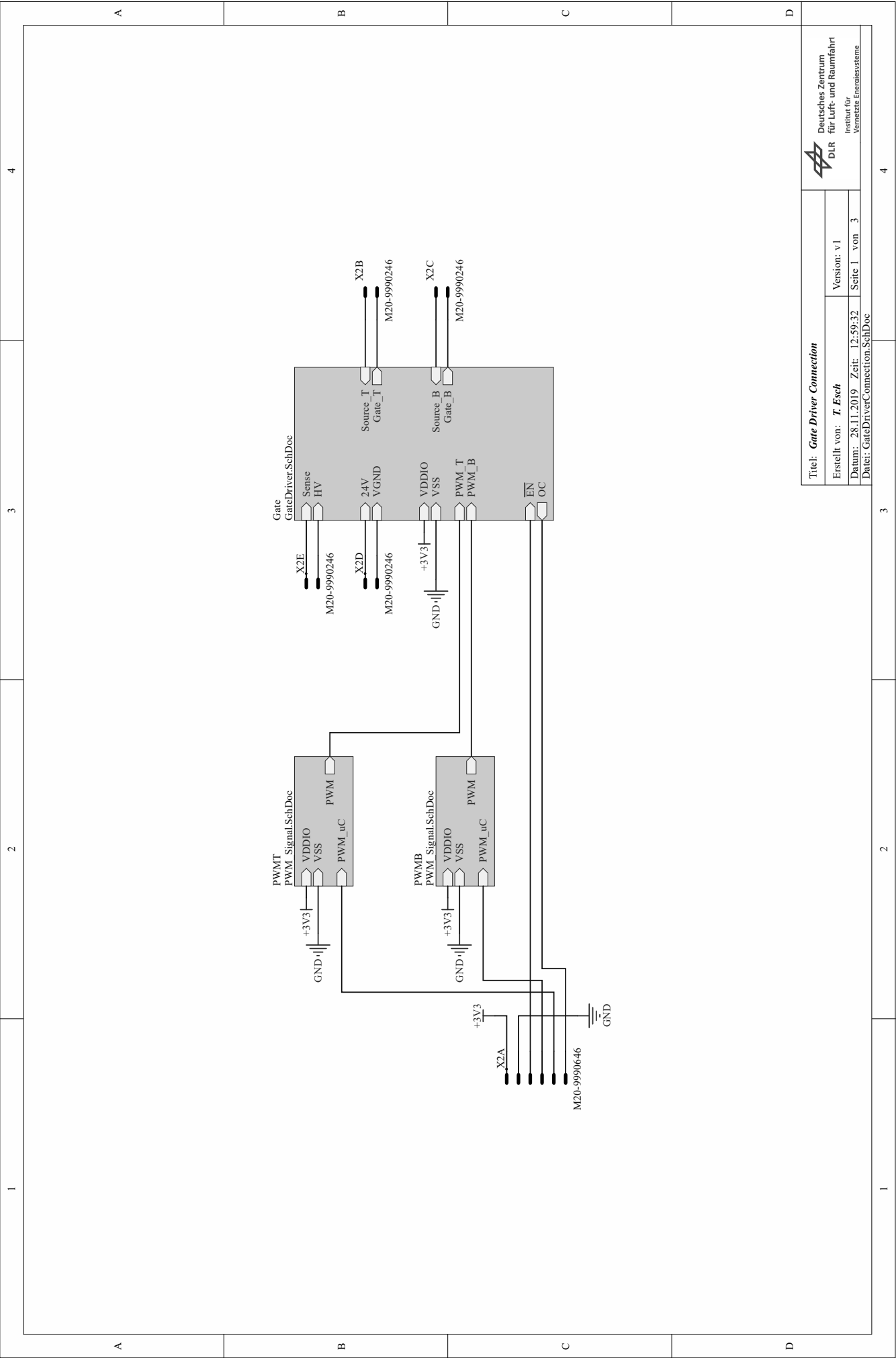
A.2 Treiberplatine WI-Anschluss







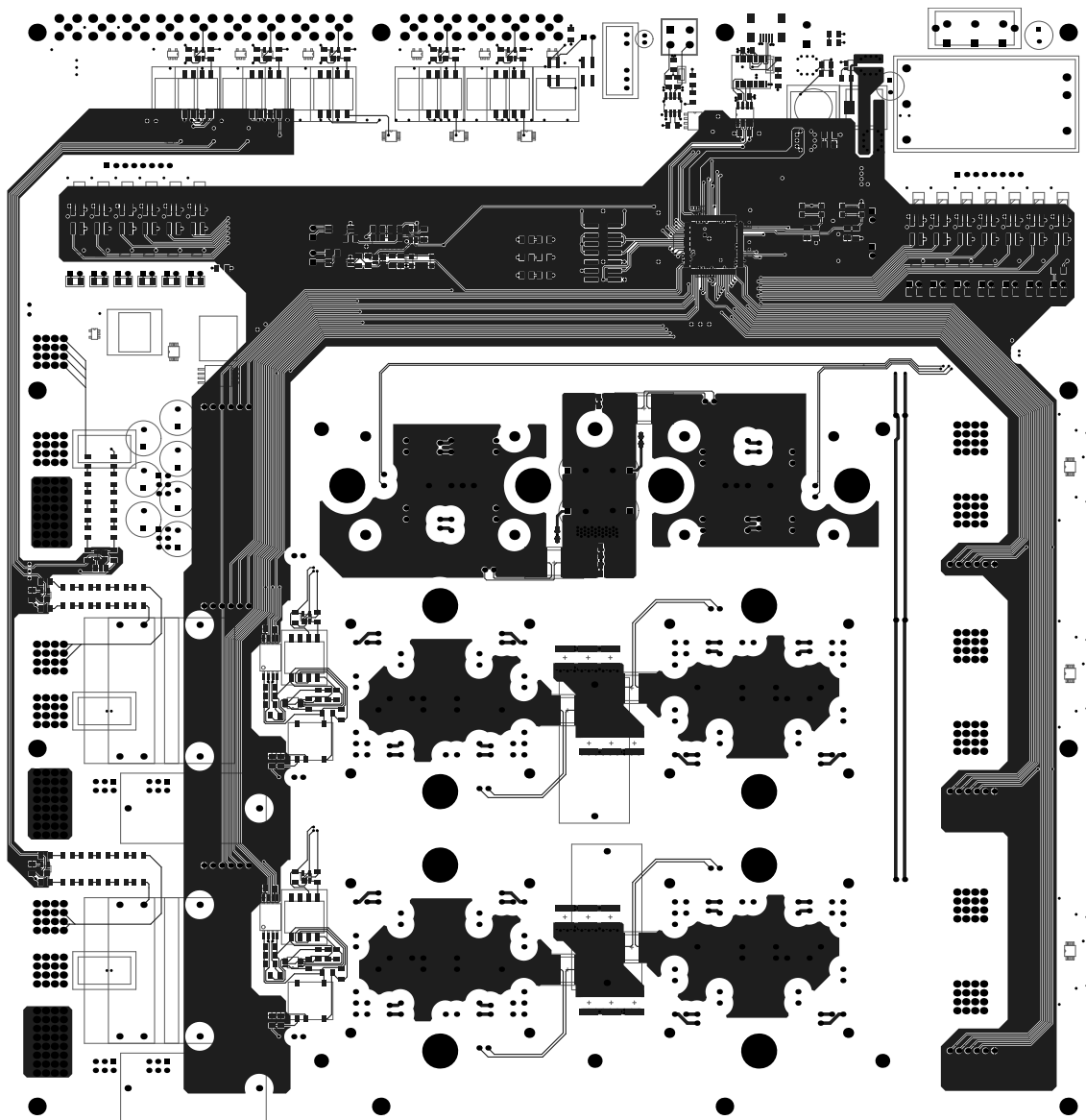
A.3 Treiberplatine Akkuanschluss



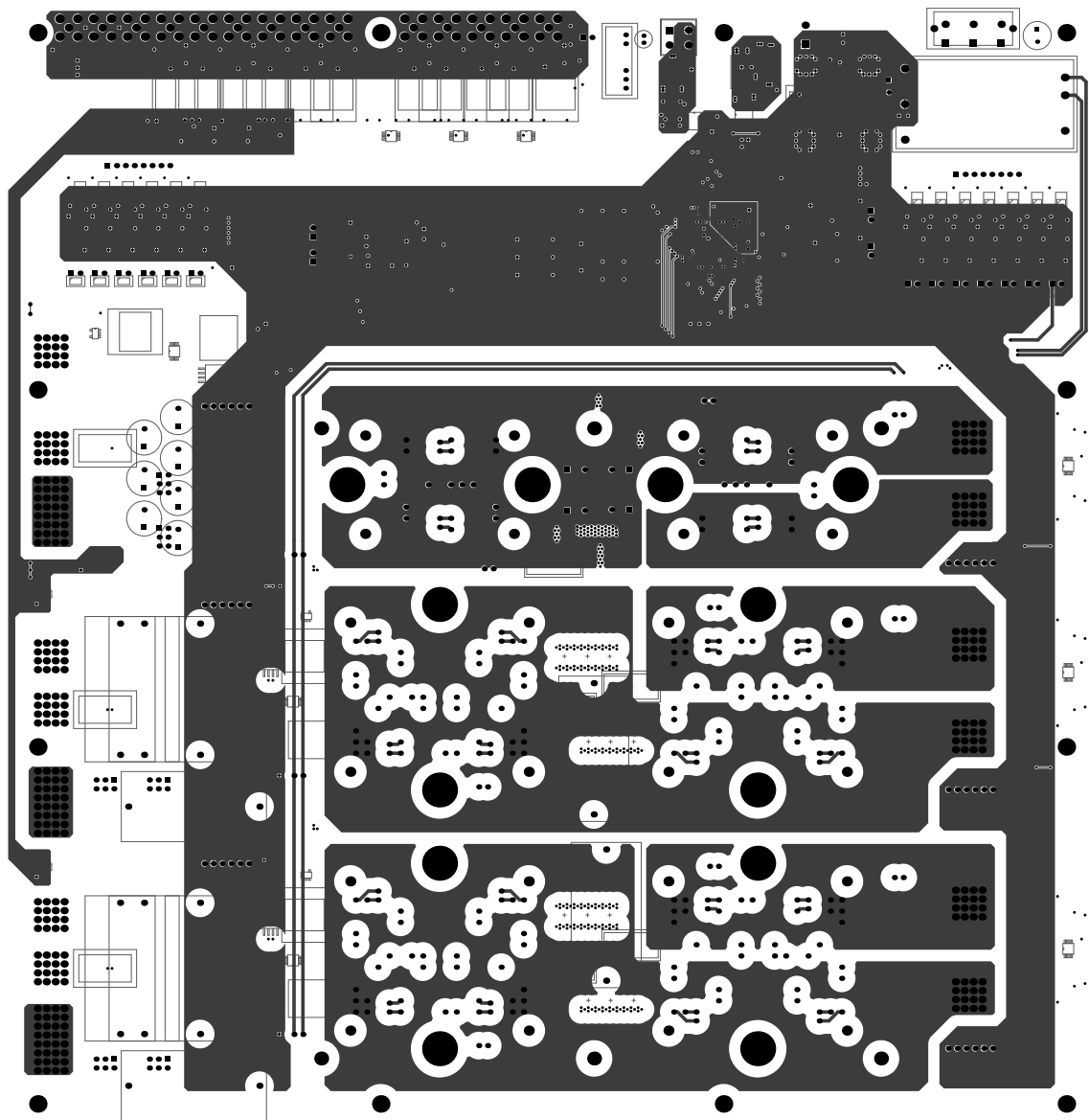
Anhang B

Platinenlayout

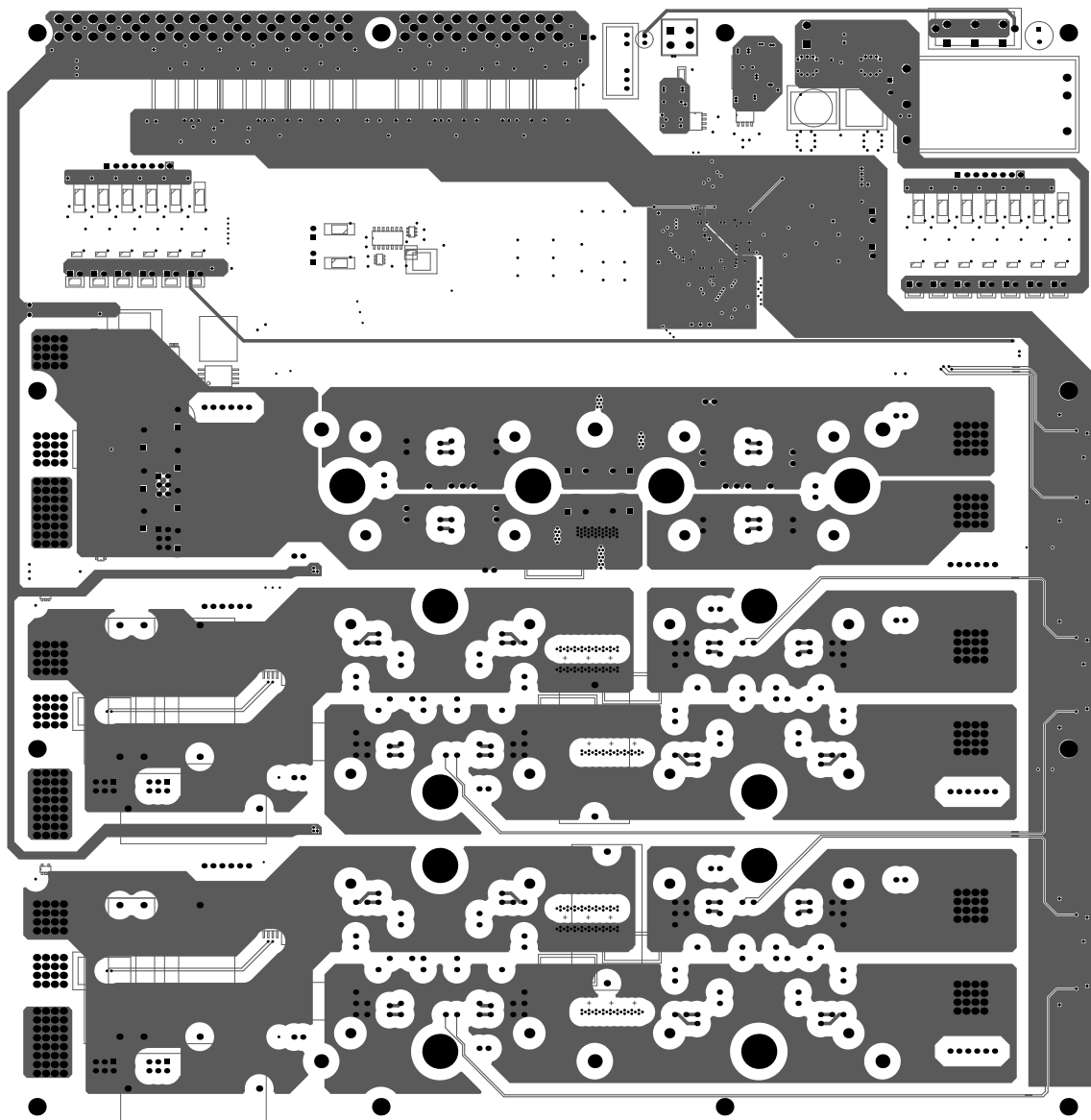
B.1 Hauptplatine



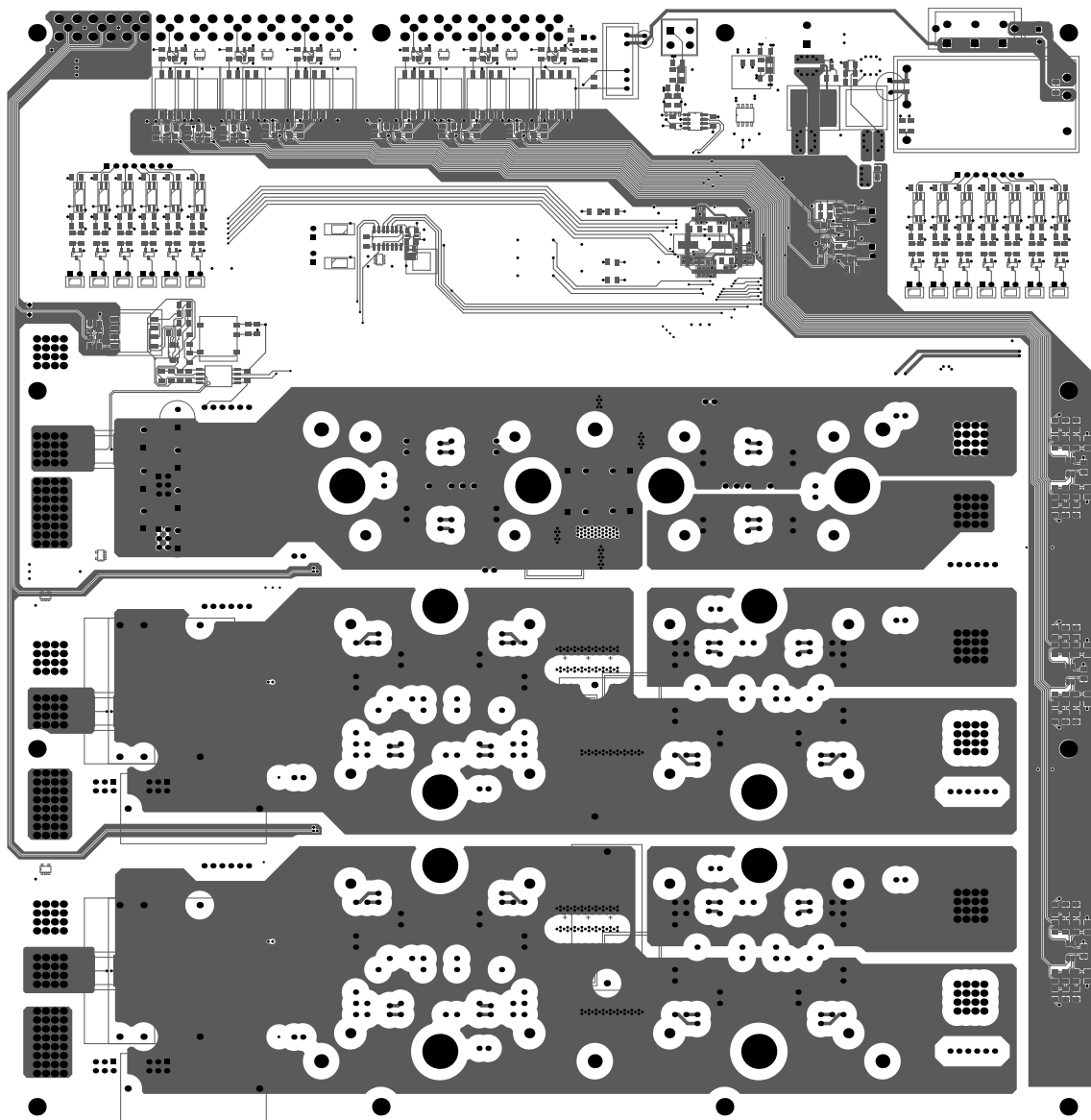
Oberseite



1. Zwischenlayer

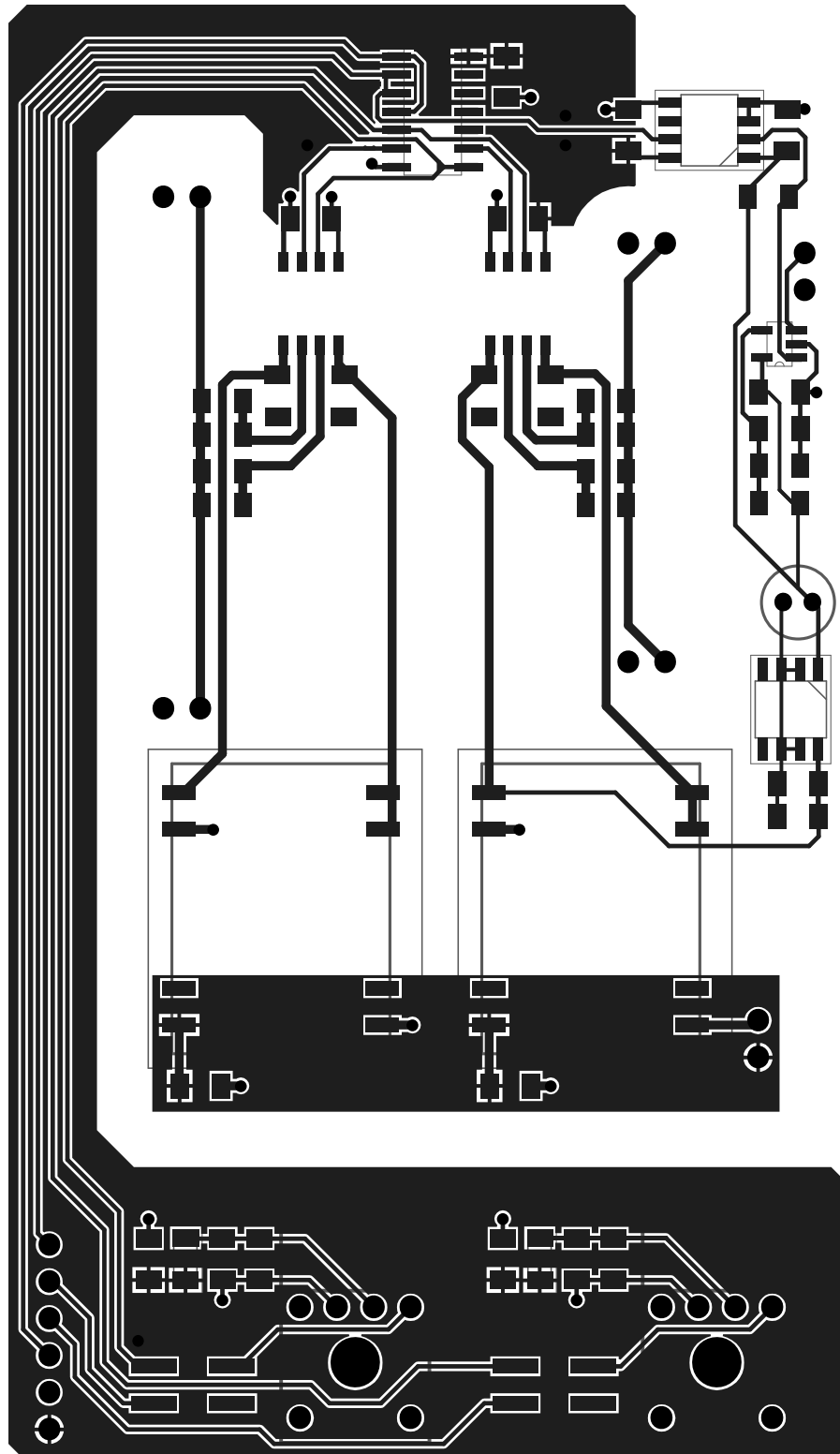


2. Zwischenlayer

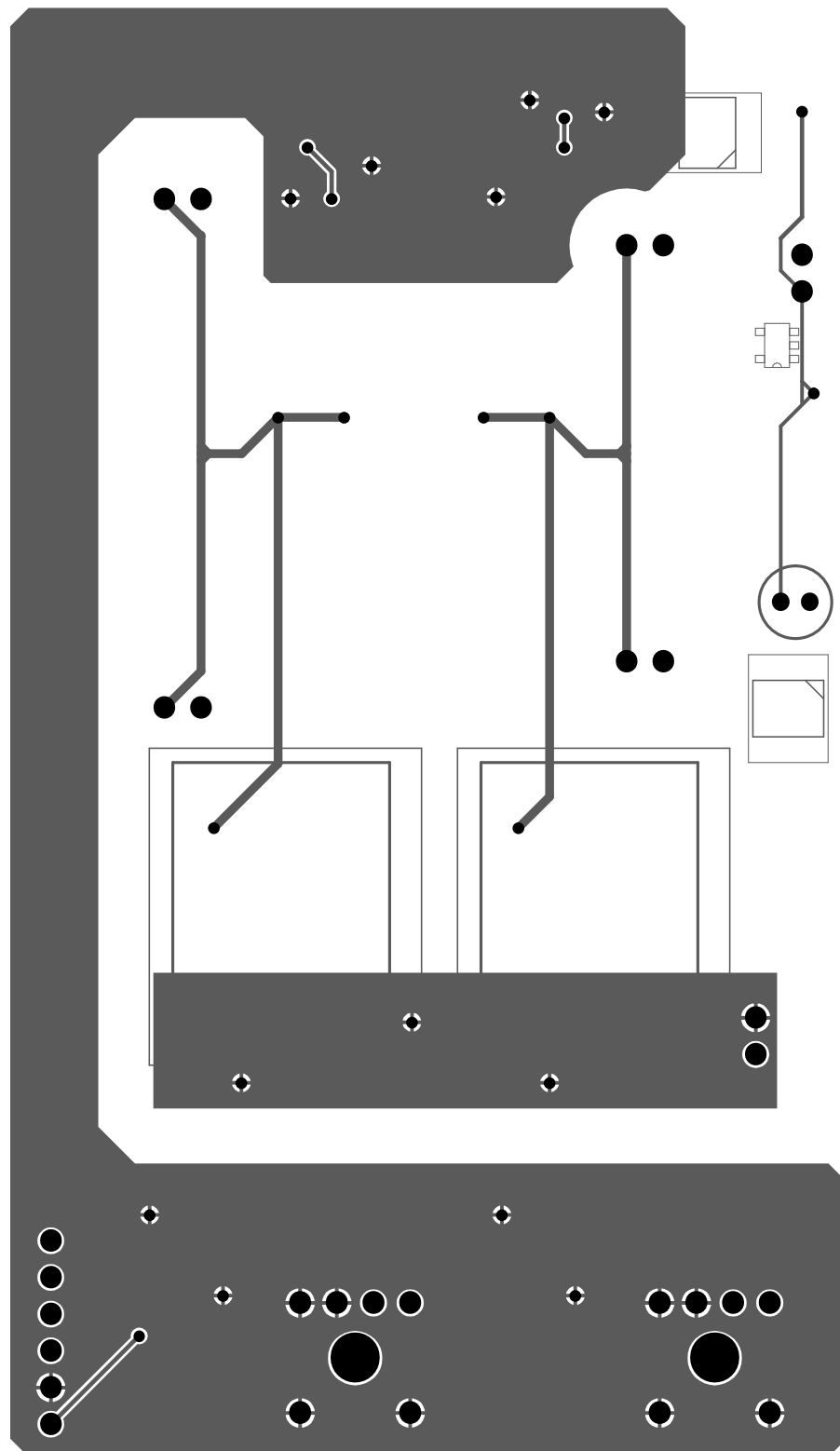


Unterseite

B.2 Treiberplatine WI-Anschluss

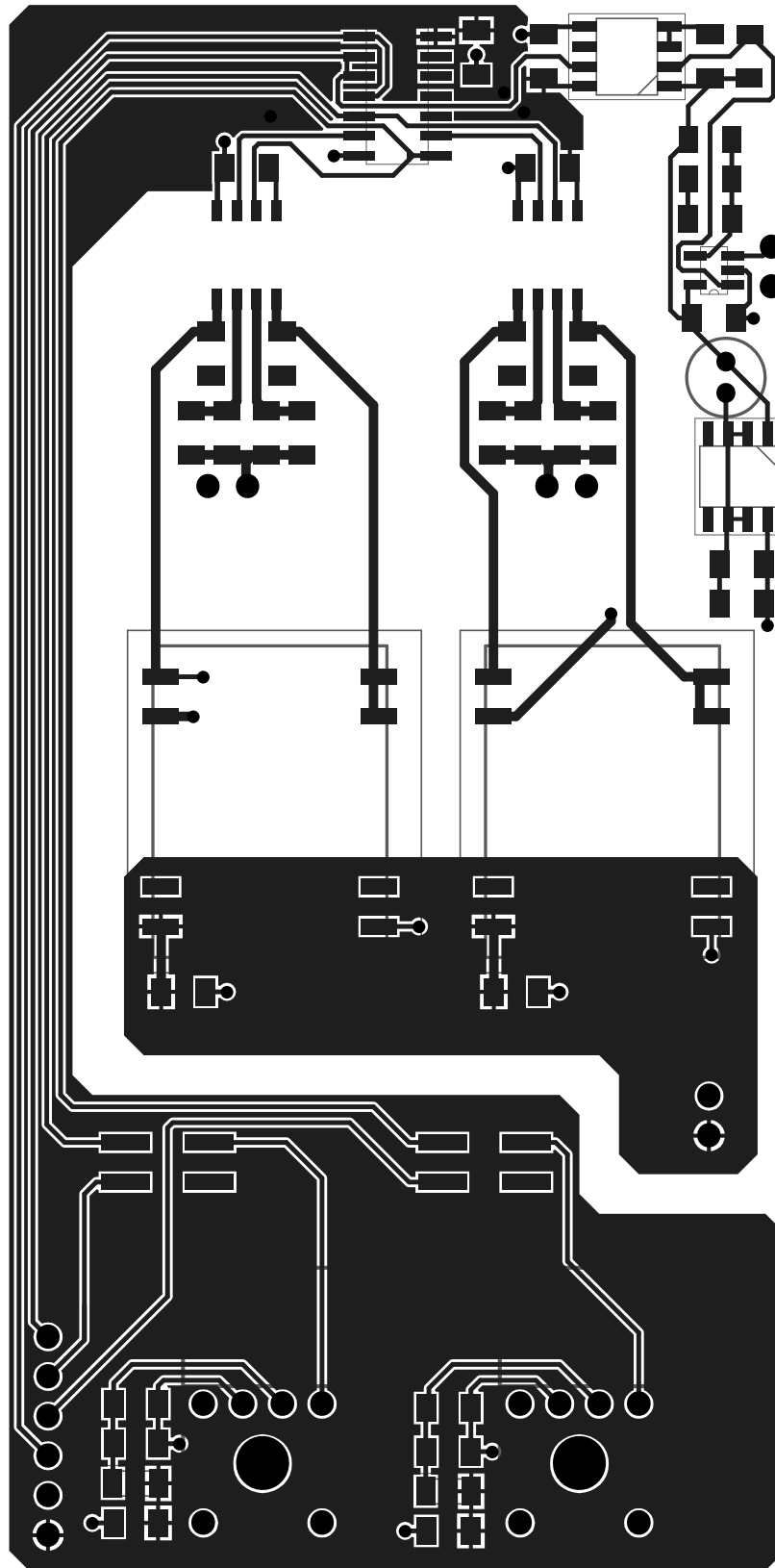


Oberseite

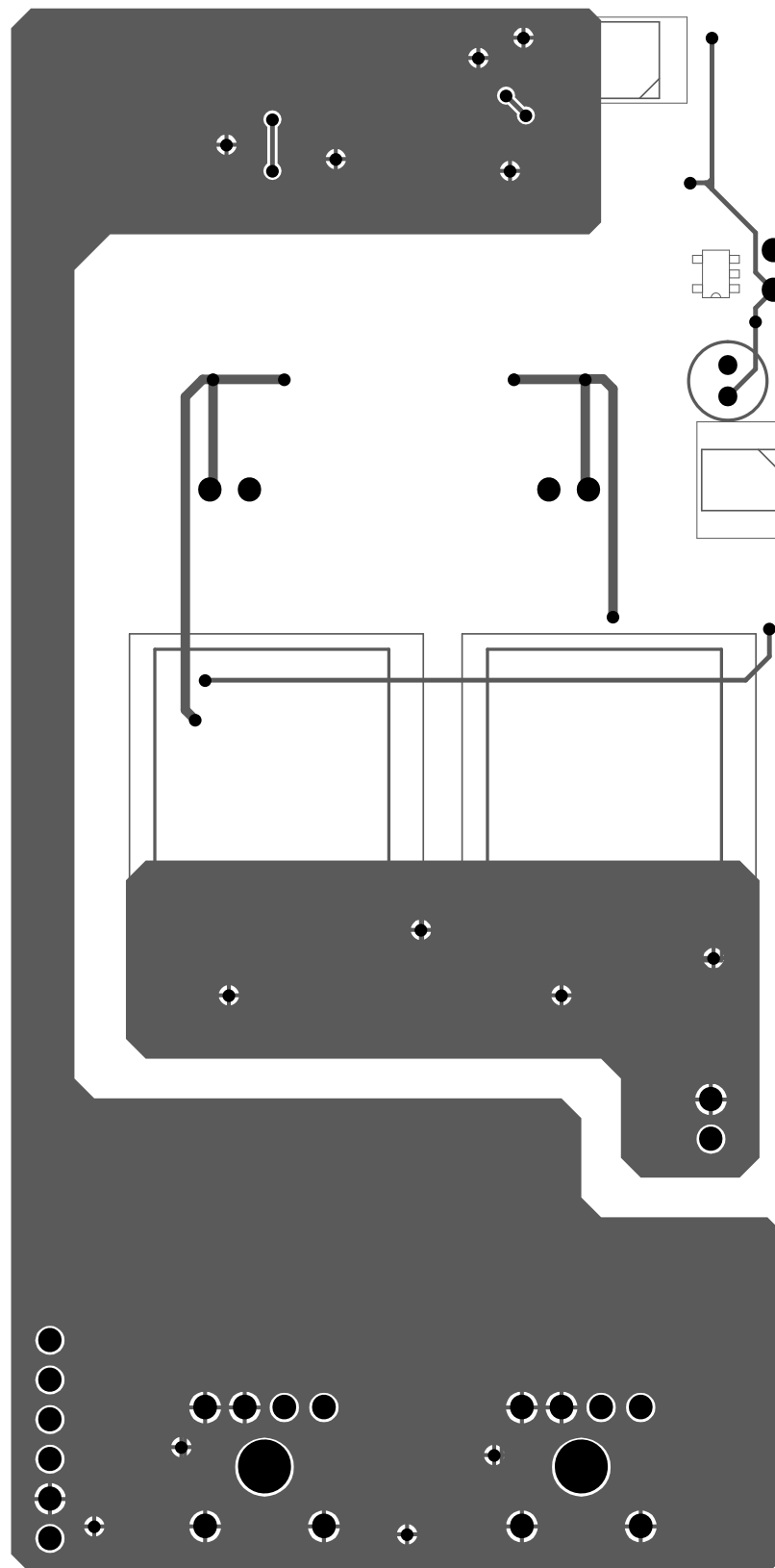


Unterseite

B.3 Treiberplatine Akkuanschluss



Oberseite



Unterseite

Anhang C

Bauteilliste

C.1 Hauptplatine

Nr.	Bezeichner	Wert	Anzahl	Bauform
1	C1	1 nF	1	1206
2	C2, C11	10 nF	2	1206
3	C3, C10, C39_I1, C39_I2, C39_I3, C41_I1, C41_I2, C41_I3, C74, C75	4,7 μ F	10	1206
4	C4, C5, C6, C7, C8, C9, C12, C37_I1, C37_I2, C37_I3, C38_I1, C38_I2, C38_I3, C40_I1, C40_I2, C40_I3, C42_I1, C42_I2, C42_I3, C43_I1, C43_I2, C43_I3, C45_I1, C45_I2, C45_I3, C62, C63, C64, C65, C66, C67_NTC1, C67_NTC2, C67_NTC3, C68_NTC1, C68_NTC2, C68_NTC3, C69_U1, C69_U2, C69_U3, C70_U1, C70_U2, C70_U3, C71, C72, C82, C84, C89, C91, C98, C99, C100, C101_U1, C101_U2, C101_U3, C102_NTC1, C102_NTC2, C102_NTC3, C103_NTC1, C103_NTC2, C103_NTC3, C104, C105, C106	0,1 μ F	63	1206
5	C13, C14, C15, C16, C17	4,7 μ F	5	0603
6	C18, C19, C21, C22, C23, C24, C25, C26, C27, C31, C33, C97	0,1 μ F	12	0603
7	C20, C28	10 μ F	2	0603
8	C29, C30, C32, C34	2,2 μ F	4	0603
9	C35, C36	18 pF	2	1206
10	C44_I1, C44_I2, C44_I3, C83, C90, C107, C108	10 μ F	7	1206
11	C73, C76	100 μ F	2	Can
12	C77	22 μ F	1	Can
13	C78, C86, C87, C88, C92, C93	22 μ F	6	1206

C Bauteilliste

Nr.	Bezeichner	Wert	Anzahl	Bauform
14	C79, C80, C81	47 μ F	3	1206
15	C85	56 pF	1	1206
16	C109, C110, C111, C112, C113, C114, C118, C119, C124, C125	1 μ F	10	1206
17	C115, C116, C117, C120, C121, C122, C123, C126, C127, C128, C129	8,2 μ F	11	Can
18	C130_DC1, C130_DC2, C131_DC1, C131_DC2, C132_DC1, C132_DC2, C133_DC1, C133_DC2, C134_DC1, C134_DC2	1 μ F	10	Radial
19	C141_DC1, C141_DC2, C142_DC1, C142_DC2, C143_DC1, C143_DC2, C144_DC1, C144_DC2, C145_DC1, C145_DC2, C146_DC1, C146_DC2	0,22 μ F	12	5750
20	D1, D2		2	1206
21	D3_I1, D3_I2, D3_I3, D7_NTC1, D7_NTC2, D7_NTC3, D8_U1, D8_U2, D8_U3, D15, D16_NTC1, D16_NTC2, D16_NTC3, D17		14	DIP
22	D4		1	1206
23	D5, D12, D13, D14		4	1206
24	D6_Relais_5W1, D6_Relais_5W2, D6_Relais_10W1, D6_Relais_10W2, D6_Relais_15W1, D6_Relais_15W2, D6_Relais_AC, D6_Relais_DC1, D6_Relais_DC2, D6_Relais_DC3, D6_Relais_Pre1, D6_Relais_Pre2, D6_Relais_Pre3		13	1206
25	D9, D10, D11		3	1206
26	E1_DC1, E1_DC2, E2_DC1, E2_DC2, E3_DC1, E3_DC2, E4_DC1, E4_DC2, E5_HV1, E5_HV2, E6_HV1, E6_HV2, E7, E8, E9, E10, E11, E12		18	7461112
27	F1		1	656
28	FB1, FB2		2	1206
29	IC1		1	SSOP
30	IC4		1	SOT
31	IC5, IC6		2	MSOP
32	J1		1	64900421122
33	J2		1	651305142821

Nr.	Bezeichner	Wert	Anzahl	Bauform
34	J3_I1, J3_I2, J3_I3, J9_NTC1, J9_NTC2, J9_NTC3, J10_U1, J10_U2, J10_U3, J15, J16_NTC1, J16_NTC2, J16_NTC3, J17		14	60311002114501
35	J4, J5, J6_Relais_5W1, J6_Relais_5W2, J6_Relais_10W1, J6_Relais_10W2, J6_Relais_15W1, J6_Relais_15W2, J6_Relais_AC, J6_Relais_DC1, J6_Relais_DC2, J6_Relais_DC3, J6_Relais_Pre1, J6_Relais_Pre2, J6_Relais_Pre3, J13, J19, J20		18	61900211121
36	J7, J18		2	61900811121
37	J8_Relais_5W1, J8_Relais_5W2, J8_Relais_10W1, J8_Relais_10W2, J8_Relais_15W1, J8_Relais_15W2, J8_Relais_AC, J8_Relais_DC1, J8_Relais_DC2, J8_Relais_DC3, J8_Relais_Pre1, J8_Relais_Pre2, J8_Relais_Pre3, J11, J12		15	61000421121
38	J21, J22, J23_DC1, J23_DC2, J24_DC1, J24_DC2		6	61300621821
39	L1	15 μ H	1	B82464P4
40	L2	3,9 μ H	1	B82559A
41	P1		1	61201420621
42	P2, P3, P4, P5		4	64900221122
43	PS1_I1, PS1_I2, PS1_I3		3	R0.25S
44	PS2		1	TMV-HI
45	PS3		1	PYBE30
46	Q1, Q2, Q4_Relais_5W1, Q4_Relais_5W2, Q4_Relais_10W1, Q4_Relais_10W2, Q4_Relais_15W1, Q4_Relais_15W2, Q4_Relais_AC, Q4_Relais_DC1, Q4_Relais_DC2, Q4_Relais_DC3, Q4_Relais_Pre1, Q4_Relais_Pre2, Q4_Relais_Pre3		15	SOIC
47	Q3_Relais_5W1, Q3_Relais_5W2, Q3_Relais_10W1, Q3_Relais_10W2, Q3_Relais_15W1, Q3_Relais_15W2, Q3_Relais_AC, Q3_Relais_DC1, Q3_Relais_DC2, Q3_Relais_DC3, Q3_Relais_Pre1, Q3_Relais_Pre2, Q3_Relais_Pre3		13	V23132

C Bauteilliste

Nr.	Bezeichner	Wert	Anzahl	Bauform
48	QZ1		1	9C
49	R1, R7	0 Ω	0	1206
50	R2, R30, R43_NTC1, R43_NTC2, R43_NTC3, R62, R63, R96_NTC1, R96_NTC2, R96_NTC3	10 k Ω	10	1206
51	R3, R8, R27, R29, R64, R65, R66, R70, R72	130 Ω	9	1206
52	R4, R5	60 Ω	2	1206
53	R6	15 k Ω	1	1206
54	R9, R61	2,2 k Ω	2	1206
55	R10_I1, R10_I2, R10_I3	75 k Ω	3	1206
56	R11_I1, R11_I2, R11_I3	1,15 k Ω	3	1206
57	R12_I1, R12_I2, R12_I3	63,4 k Ω	3	1206
58	R13_I1, R13_I2, R13_I3, R15_I1, R15_I2, R15_I3, R45_NTC1, R45_NTC2, R45_NTC3, R46_NTC1, R46_NTC2, R46_NTC3, R47_U1, R47_U2, R58_U1, R58_U2, R59_U1, R59_U2, R59_U3, R60_U1, R60_U2, R60_U3, R87, R88, R89, R98_NTC1, R98_NTC2, R98_NTC3, R99_NTC1, R99_NTC2, R99_NTC3, R102, R103, R104	30 k Ω	34	1206
59	R14_I1, R14_I2, R14_I3	2 k Ω	3	1206
60	R28, R31, R33_Relais_5W1, R33_Relais_5W2, R33_Relais_10W1, R33_Relais_10W2, R33_Relais_15W1, R33_Relais_15W2, R33_Relais_AC, R33_Relais_DC1, R33_Relais_DC2, R33_Relais_DC3, R33_Relais_Pre1, R33_Relais_Pre2, R33_Relais_Pre3	1,2 k Ω	15	1206

Nr.	Bezeichner	Wert	Anzahl	Bauform
61	R32, R36_Relais_5W1, R36_Relais_5W2, R36_Relais_10W1, R36_Relais_10W2, R36_Relais_15W1, R36_Relais_15W2, R36_Relais_AC, R36_Relais_DC1, R36_Relais_DC2, R36_Relais_DC3, R36_Relais_Pre1, R36_Relais_Pre2, R36_Relais_Pre3, R37_Relais_5W1, R37_Relais_5W2, R37_Relais_10W1, R37_Relais_10W2, R37_Relais_15W1, R37_Relais_15W2, R37_Relais_AC, R37_Relais_DC1, R37_Relais_DC2, R37_Relais_DC3, R37_Relais_Pre1, R37_Relais_Pre2, R37_Relais_Pre3, R68, R69	4,7 k Ω	29	1206
62	R34_Relais_5W1, R34_Relais_5W2, R34_Relais_10W1, R34_Relais_10W2, R34_Relais_15W1, R34_Relais_15W2, R34_Relais_AC, R34_Relais_DC1, R34_Relais_DC2, R34_Relais_DC3, R34_Relais_Pre1, R34_Relais_Pre2, R34_Relais_Pre3	220 Ω	13	1206
63	R35_Relais_5W1, R35_Relais_5W2, R35_Relais_10W1, R35_Relais_10W2, R35_Relais_15W1, R35_Relais_15W2, R35_Relais_AC, R35_Relais_DC1, R35_Relais_DC2, R35_Relais_DC3, R35_Relais_Pre1, R35_Relais_Pre2, R35_Relais_Pre3	470 Ω	0	1206
64	R38_NTC1, R38_NTC2, R38_NTC3, R44_NTC1, R44_NTC2, R44_NTC3, R91_NTC1, R91_NTC2, R91_NTC3, R97_NTC1, R97_NTC2, R97_NTC3	1,3 M Ω	12	1206

C Bauteilliste

Nr.	Bezeichner	Wert	Anzahl	Bauform
65	R39_NTC1, R39_NTC2, R39_NTC3, R92_NTC1, R92_NTC2, R92_NTC3	1,1 k Ω	6	1206
66	R40_NTC1, R40_NTC2, R40_NTC3, R93_NTC1, R93_NTC2, R93_NTC3	56 k Ω	6	1206
67	R41_NTC1, R41_NTC2, R41_NTC3, R42_NTC1, R42_NTC2, R42_NTC3, R86, R94_NTC1, R94_NTC2, R94_NTC3, R95_NTC1, R95_NTC2, R95_NTC3, R101	1 M Ω	14	1206
68	R47_U3, R58_U3	300 k Ω	2	1206
69	R48_U1, R48_U2, R48_U3, R49_U1, R49_U2, R49_U3, R50_U1, R50_U2, R50_U3, R51_U1, R51_U2, R51_U3, R52_U1, R52_U2, R52_U3, R53_U1, R53_U2, R53_U3, R54_U1, R54_U2, R54_U3, R55_U1, R55_U2, R55_U3, R56_U1, R56_U2, R56_U3, R57_U1, R57_U2, R57_U3	2 M Ω	30	1206
70	R67	100 Ω	1	1206
71	R71	1 k Ω	1	1206
72	R73, R74		0	1206
73	R75, R77	0 Ω	2	1206
74	R76	100 k Ω	1	1206
75	R78	22 k Ω	1	1206
76	R79	118 k Ω	1	1206
77	R80	115 k Ω	1	1206
78	R81_HV1, R81_HV2, R82_HV1, R82_HV2, R83, R84	200 $\mu\Omega$	6	1575
79	R85, R100	120 k Ω	2	1206
80	R90_DC1, R90_DC2, R105	600 $\mu\Omega$	3	5930
81	S1, S2, S3		3	7914
82	T1_Relais_5W1, T1_Relais_5W2, T1_Relais_10W1, T1_Relais_10W2, T1_Relais_15W1, T1_Relais_15W2, T1_Relais_AC, T1_Relais_DC1, T1_Relais_DC2, T1_Relais_DC3, T1_Relais_Pre1, T1_Relais_Pre2, T1_Relais_Pre3		13	SOT

C Bauteilliste

Nr.	Bezeichner	Wert	Anzahl	Bauform
83	T2_HV1, T2_HV2, T3_HV1, T3_HV2		4	W2M1
84	T4, T5		2	W1M1
85	U1, U3		2	SOIC
86	U2		1	SOIC
87	U4		1	LQFP
88	U5_I1, U5_I2, U5_I3, U18_NTC1, U18_NTC2, U18_NTC3, U25, U26, U28_NTC1, U28_NTC2, U28_NTC3		11	VSSOP
89	U6_I1, U6_I2, U6_I3		3	SOIC
90	U7_I1, U7_I2, U7_I3, U19_NTC1, U19_NTC2, U19_NTC3, U20_U1, U20_U2, U20_U3, U21_U1, U21_U2, U21_U3, U27_U1, U27_U2, U27_U3, U29_NTC1, U29_NTC2, U29_NTC3, U30, U31		20	SOT
91	U14		1	SOP
92	U15		1	SOIC
93	U16		1	SOT
94	U17		1	SOT
95	U22, U23		2	SOT
96	X1A_Driver1, X1A_Driver2, X1A_Driver3, X1A_Driver4, X1A_Driver5, X1A_Driver6	6	6	M20-782
97	X1A_Driver1, X1B_Driver1, X1C_Driver1, X1D_Driver1, X1E_Driver1, X1A_Driver2, X1B_Driver2, X1C_Driver2, X1D_Driver2, X1E_Driver2, X1A_Driver3, X1B_Driver3, X1C_Driver3, X1D_Driver3, X1E_Driver3, X1A_Driver4, X1B_Driver4, X1C_Driver4, X1D_Driver4, X1E_Driver4, X1A_Driver5, X1B_Driver5, X1C_Driver5, X1D_Driver5, X1E_Driver5, X1A_Driver6, X1B_Driver6, X1C_Driver6, X1D_Driver6, X1E_Driver6	2	24	M20-782

C.2 Treiberplatine WI-Anschluss

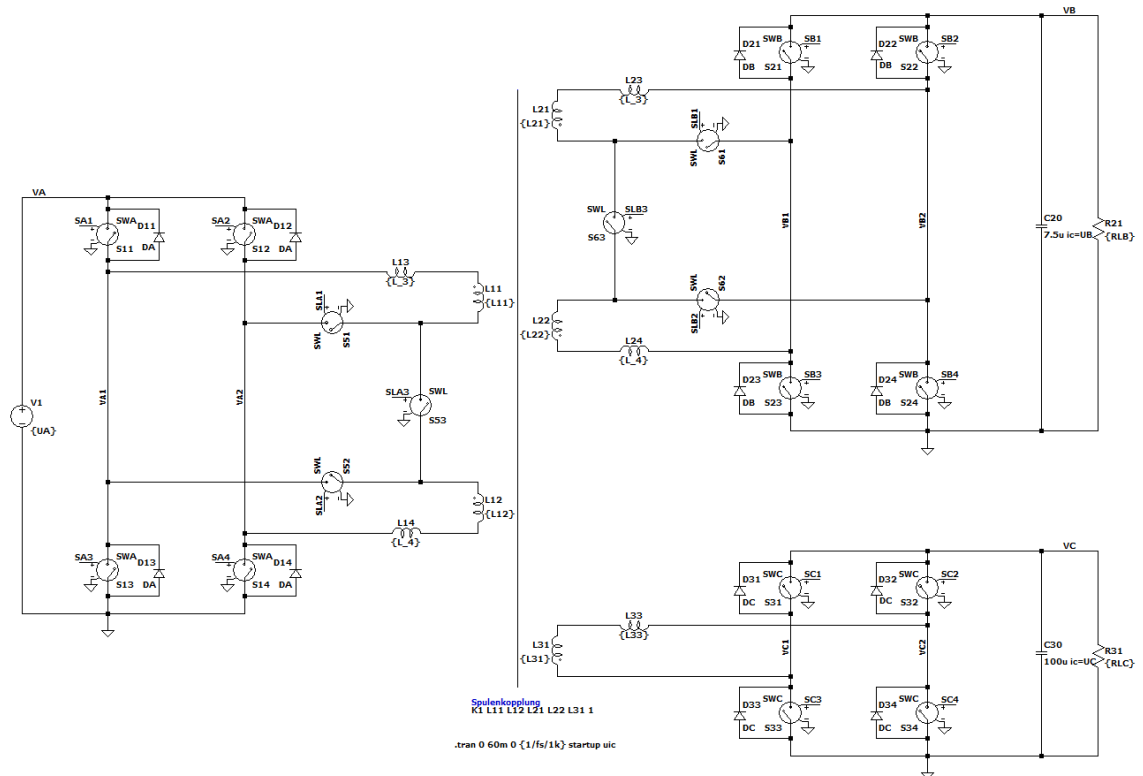
Nr.	Bezeichner	Wert	Anzahl	Bauform
1	C46, C50, C53, C57, C58, C59, C60, C61, C96_PWMB, C96_PWMT	0,1 μ F	10	1206
2	C47, C48, C51, C52, C55	4,7 μ F	5	1206
3	C49, C56, C94_PWMB, C94_PWMT, C95_PWMB, C95_PWMT	10 μ F	6	1206
4	C54	22 μ F	1	Can
5	IC2		1	SOIC
6	IC3		1	SOIC
7	J14_PWMB, J14_PWMT		2	61000421121
8	L3_PWMB, L3_PWMT		2	1206
9	R16, R19, R20, R23	6,2 Ω	4	1206
10	R17, R18, R21, R22	3 Ω	4	1206
11	R24	75 k Ω	1	1206
12	R25	10 k Ω	1	1206
13	R26	1,3 k Ω	1	1206
14	U8, U11		2	DSO
15	U9		1	SOIC
16	U10, U12		2	MGJ1
17	U13		1	SOT
18	U24_PWMB, U24_PWMT		2	AFBR
19	X2A	6	1	M20-999
20	X2B, X2C, X2D, X2E	2	4	M20-999

C.3 Treiberplatine Akkuanschluss

Nr.	Bezeichner	Wert	Anzahl	Bauform
1	C46, C50, C53, C57, C58, C59, C60, C61, C96_PWMB, C96_PWMT	0,1 μ F	10	1206
2	C47, C48, C51, C52, C55	4,7 μ F	5	1206
3	C49, C56, C94_PWMB, C94_PWMT, C95_PWMB, C95_PWMT	10 μ F	6	1206
4	C54	22 μ F	1	Can
5	IC2		1	SOIC
6	IC3		1	SOIC
7	J14_PWMB, J14_PWMT		2	61000421121
8	L3_PWMB, L3_PWMT		2	1206
9	R16, R19, R20, R23	6,2 Ω	4	1206
10	R17, R18, R21, R22	3 Ω	4	1206
11	R24	115 k Ω	1	1206
12	R25	10 k Ω	1	1206
13	R26	1,3 k Ω	1	1206
14	U8, U11		2	DSO
15	U9		1	SOIC
16	U10, U12		2	MGJ1
17	U13		1	SOT
18	U24_PWMB, U24_PWMT		2	AFBR
19	X2A	6	1	M20-999
20	X2B, X2C, X2D, X2E	2	4	M20-999

Anhang D

Simulationsmodell



Spannungen
 .param UA=700 200 - 1000V
 .param UB=700 200 - 1000V
 .param UC=48 40 - 60V

Schaltfrequenz
 .param fs=80k 80k - 100k

Ausgangsleistungen
 .param PB=10k 0 - 12k PLA = PLB + PLC <= 12k
 .param PC=2k 0 - 2k

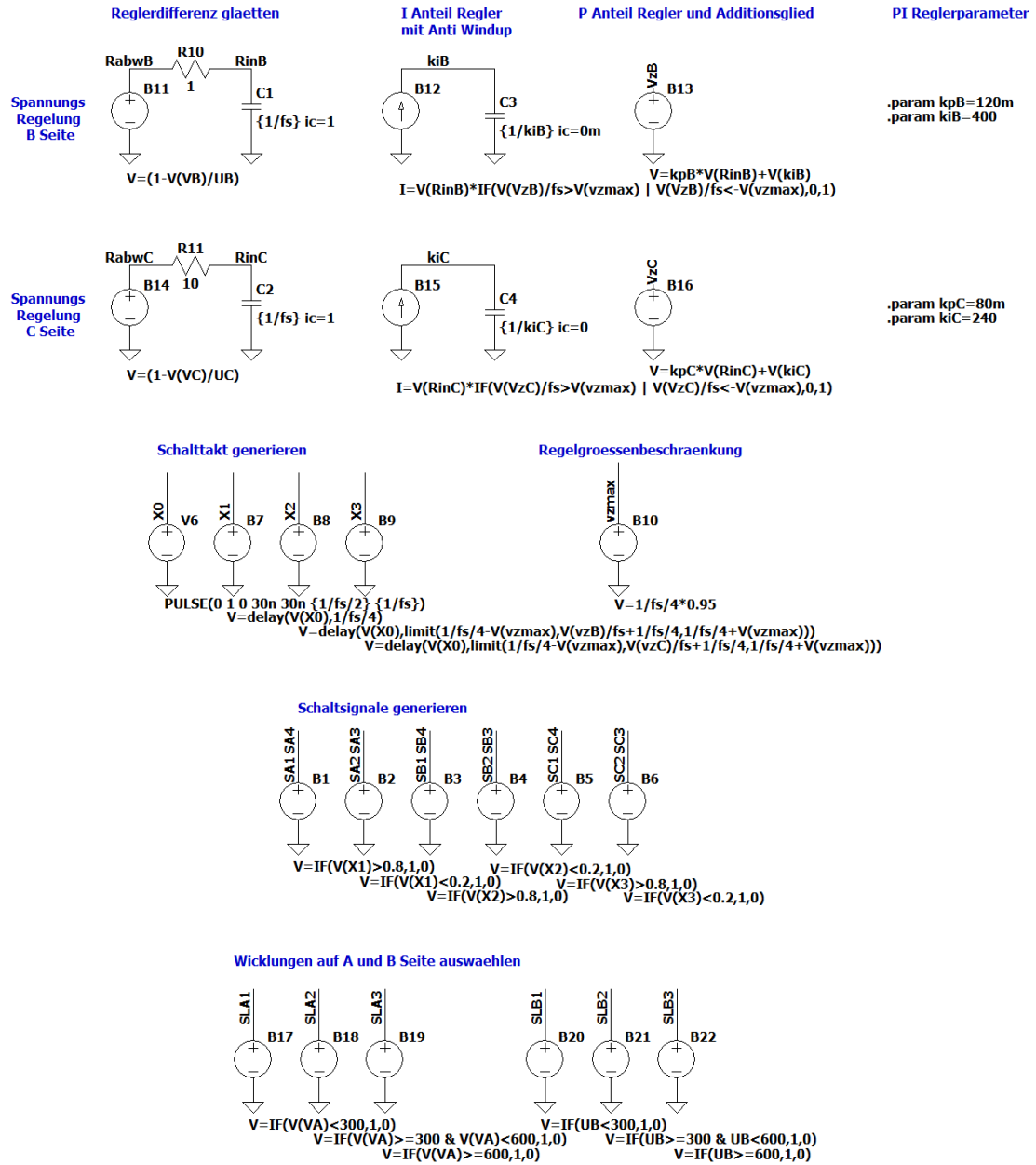
Transformator Hauptinduktivitaeten
 .param AL = 16u1
 .param n_1=5 n_2=10 Windungsverhaeltnis
 .param n31=1 Windungsverhaeltnis
 .param L11={AL*n_1**2} L12={AL*n_2**2}
 .param L21={AL*n_1**2} L22={AL*n_2**2}
 .param L31={AL*n31**2}

Transformator Streuinduktivitaeten
 .param L_3=3u
 .param L_4=6u
 .param L33=0.8u

Lastwiderstaende
 .param RLB={UB*UB/PB}
 .param RLC={UC*UC/PC}

Schalter und Bodydioden Modelle
 .model SWA SW(Ron={Ron} Vt=0.5 Vh=0)
 .model SWB SW(Ron={Ron} Vt=0.5 Vh=0)
 .model SWC SW(Ron={Ron} Vt=0.5 Vh=0)
 .model SWL SW(Ron={Ron} Vt=0.5 Vh=0)
 .model DA D(Ron=5m Vfwd=4 epsilon=1)
 .model DB D(Ron=5m Vfwd=4 epsilon=1)
 .model DC D(Ron=5m Vfwd=4 epsilon=1)

.param Ron=8m



Anhang E

Daten CD

- Masterarbeit
- Bauteilliste
- Datenblätter
- Platinenlayout
- Schaltpläne
- Simulationsmodell